

Документ подписан простой электронной подписью
Информация о владельце:
ФИО: Галунин Сергей Александрович
Должность: проректор по учебной работе
Дата подписания: 14.09.2023 10:47:23
Уникальный программный ключ:
08ef34338325bdb0ac5a47baa5472ce36cc3fc3b

Приложение к ОПОП
«Беспроводные инфокоммуника-
ционные сети»



СПбГЭТУ «ЛЭТИ»
ПЕРВЫЙ ЭЛЕКТРОТЕХНИЧЕСКИЙ

МИНОБРНАУКИ РОССИИ

федеральное государственное автономное образовательное учреждение высшего образования
**«Санкт-Петербургский государственный электротехнический университет
«ЛЭТИ» им. В.И.Ульянова (Ленина)»
(СПбГЭТУ «ЛЭТИ»)»**

РАБОЧАЯ ПРОГРАММА

ДИСЦИПЛИНЫ

**«ЦИФРОВЫЕ ТЕХНОЛОГИИ В ТЕЛЕКОММУНИКАЦИОННЫХ
СИСТЕМАХ»**

для подготовки магистров

по направлению

11.04.02 «Инфокоммуникационные технологии и системы связи»

по программе

«Беспроводные инфокоммуникационные сети»

Санкт-Петербург

2022

ЛИСТ СОГЛАСОВАНИЯ

Разработчики:

доцент, к.т.н., старший научный сотрудник Сиротинин В.И.

Рабочая программа рассмотрена и одобрена на заседании кафедры РЭС
09.03.2022, протокол № 7

Рабочая программа рассмотрена и одобрена учебно-методической комиссией
ФРТ, 29.03.2022, протокол № 3

Согласовано в ИС ИОТ

Начальник ОМОЛА Загороднюк О.В.

1 СТРУКТУРА ДИСЦИПЛИНЫ

Обеспечивающий факультет	ФРТ
Обеспечивающая кафедра	РЭС
Общая трудоемкость (ЗЕТ)	4
Курс	1
Семестр	1
Виды занятий	
Лекции (академ. часов)	17
Лабораторные занятия (академ. часов)	17
Практические занятия (академ. часов)	17
Иная контактная работа (академ. часов)	3
Все контактные часы (академ. часов)	54
Самостоятельная работа, включая часы на контроль (академ. часов)	90
Всего (академ. часов)	144
Вид промежуточной аттестации	
Дифф. зачет (курс)	1
Курсовая работа (курс)	1

2 АННОТАЦИЯ ДИСЦИПЛИНЫ

«ЦИФРОВЫЕ ТЕХНОЛОГИИ В ТЕЛЕКОММУНИКАЦИОННЫХ СИСТЕМАХ»

В дисциплине рассматриваются вопросы построения универсальных и специализированных цифровых устройств на основе программируемой логики и современных производительных микропроцессоров. Излагаются как особенности архитектуры популярных семейств программируемой логики, так и основные этапы автоматизированного проектирования цифровых устройств с помощью пакетов САПР с использованием как схемотехнического проектирования, так и поведенческого описания с использованием языка описания аппаратуры Verilog HDL. Рассматриваются вопросы построения параллельных высокопроизводительных архитектур обработки широкополосных сигналов в реальном времени. Значительная часть дисциплины посвящена особенностям архитектур универсальных производительных микропроцессоров. Излагаются вопросы построения специализированных и универсальных вычислителей на их основе.

SUBJECT SUMMARY

«DIGITAL TECHNOLOGIES IN TELECOMMUNICATION SYSTEMS»

In the discipline deals with the construction of universal and specialized digital devices based on programmable logic and modern productive microprocessors. Both architectural features of popular families of programmable logic are described, as well as the main stages of computer-aided design of digital devices using CAD packages using both circuit design and behavioral analysis using the Verilog HDL hardware description language. Questions of construction of high-performance parallel processing architecture of wideband signals in real time. A significant part of the discipline devoted to the architectural features of versatile performance micro-

processors. The questions concerning the construction of specialized and calculators on their basis.

3 ОБЩИЕ ПОЛОЖЕНИЯ

3.1 Цели и задачи дисциплины

1. Цели дисциплины:

- получение знаний, необходимых для формулирования целей научных исследований в соответствии с тенденциями и перспективами развития электронных средств и технологических процессов, а также смежных областей науки и техники;
- приобретение умений обоснованно выбирать теоретические и экспериментальные методы и средства решения сформулированных задач;
- формирование навыков автоматизированного проектирования цифровых устройств на основе программируемой логики.

2. Задачи дисциплины:

- изучение языка описания аппаратуры Verilog HDL, особенностей архитектуры современных производительных микропроцессоров, их применения в аппаратуре;
- формирование умений в программировании ПЛИС и навыков описания различного рода цифровых автоматов и вычислителей с использованием конструкций языка.

3. Знания принципов построения высокопроизводительных цифровых устройств с параллельными и конвейерными архитектурами, языка описания аппаратуры Verilog HDL.

4. Умения обоснованно выбирать теоретические и экспериментальные методы построения высокопроизводительных цифровых устройств с параллельными и конвейерными архитектурами.

5. Навыки разработки эффективных алгоритмов решения сформулированных задач с использованием современных языков программирования и отладки их

программных реализаций.

3.2 Место дисциплины в структуре ОПОП

Дисциплина изучается на основе знаний, полученных при освоении программы бакалавриата или специалитета.

и обеспечивает изучение последующих дисциплин:

1. «Производственная практика (научно-исследовательская работа)»
2. «Системы связи с подвижными объектами»
3. «Устройства приема и обработки цифровых сигналов»

3.3 Перечень планируемых результатов обучения по дисциплине, соотнесенных с планируемыми результатами освоения образовательной программы

В результате освоения образовательной программы обучающийся должен достичь следующие результаты обучения по дисциплине:

Код компетенции/ индикатора компетенции	Наименование компетенции/индикатора компетенции
ОПК-3	Способен приобретать, обрабатывать и использовать новую информацию в своей предметной области, предлагать новые идеи и подходы к решению задач своей профессиональной деятельности
<i>ОПК-3.1</i>	<i>Знает принципы построения локальных и глобальных компьютерных сетей, основы Интернет-технологий, типовые процедуры применения проблемно-ориентированных прикладных программных средств в дисциплинах профессионального цикла и профессиональной сфере деятельности</i>
<i>ОПК-3.2</i>	<i>Умеет использовать современные информационные и компьютерные технологии, средства коммуникаций, способствующие повышению эффективности научной и образовательной сфер деятельности</i>

4 СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

4.1 Содержание разделов дисциплины

4.1.1 Наименование тем и часы на все виды нагрузки

№ п/п	Наименование темы дисциплины	Лек, ач	Пр, ач	Лаб, ач	ИКР, ач	СР, ач
1	Введение	1				
2	Программируемые логические интегральные схемы и этапы автоматизированного проектирования цифровых устройств	5	17	17	3	48
3	Параллельные архитектуры обработки цифровой информации	4	0			16
4	Реализация параллельных вычислительных архитектур и методов в производительных микропроцессорах, ПЛИС и вычислителях на их основе.	3	0			12
5	Эффективные вычислительные алгоритмы для вычислителей на основе ПЛИС и производительных микропроцессорах.	3			0	14
6	заключение	1			0	
	Итого, ач	17	17	17	3	90
	Из них ач на контроль	0	0	0	0	0
	Общая трудоемкость освоения, ач/зе	144/4				

4.1.2 Содержание

№ п/п	Наименование темы дисциплины	Содержание
1	Введение	Предмет курса. Основные типы заказных и полузаказных БИС цифровых устройств

№ п/п	Наименование темы дисциплины	Содержание
2	Программируемые логические интегральные схемы и этапы автоматизированного проектирования цифровых устройств	<p>Типы семейств программируемой логики. Внутренняя структура БИС и технологии хранения перемычек..</p> <p>Функциональные схемы семейств программируемой логики типа PLD.</p> <p>Функциональные схемы семейств программируемой логики типа FPGA.</p> <p>Основные этапы проектирования цифровых устройств на основе программируемой логики. Схемотехническое и поведенческое описание цифровых устройств. Языки проектирования цифровых устройств. Язык описания аппаратуры Verilog HDL.</p> <p>Режимы программирования микросхем семейств FPGA. Интерфейс программирования и тестирования JTAG IEEE 1149.1</p>
3	Параллельные архитектуры обработки цифровой информации	<p>Классификация параллельных архитектур по организации потоков команд и данных. Векторные и матричные архитектуры класса SIMD.</p> <p>Векторные команды, векторизация вычислений, закон Амдаля. Пример матричной системы</p> <p>Классификация конвейерных архитектур. Логическое проектирование конвейеров, схемы пакетирования синхроимпульсов. Буферные схемы согласования по скорости в пакетных режимах передачи.</p> <p>Параллельные архитектуры класса MIMD. Организация связей в многопроцессорных комплексах и вычислительного процесса</p>
4	Реализация параллельных вычислительных архитектур и методов в производительных микропроцессорах, ПЛИС и вычислителях на их основе.	<p>Защищенный режим работы микропроцессоров. Виртуальные режимы адресации.</p> <p>Теоретические основы и особенности организации КЭШ-памяти микропроцессоров. Иерархия систем памяти.</p> <p>Архитектура RISC-процессоров и производительных CISC-процессоров. Методы повышения производительности процессоров с последовательными потоками команд и данных. Сравнение параметров RISC-процессоров и CISC-процессоров различных фирм-изготовителей. Особенности архитектуры высокопроизводительных микропроцессоров. Архитектура конвейерных CISC-процессоров фирмы Intel и AMD.</p>
5	Эффективные вычислительные алгоритмы для вычислителей на основе ПЛИС и производительных микропроцессорах.	<p>Линейные и циклические свёртки. Алгоритмы быстрого преобразования Фурье. Эффективные алгоритмы реализации цифровых фильтров с конечной импульсной характеристикой. Использование "оконных" функций при цифровой обработке. Применение алгоритмов CORDIC при реализации вычислителей на базе FPGA ПЛИС.</p>
6	заключение	Тенденции развития универсальных микропроцессорных архитектур и программируемой логики

4.2 Перечень лабораторных работ

Наименование лабораторной работы	Количество ауд. часов
1. Проектирование цифрового устройства с помощью графического редактора и модулей на языке Verilog.	4
2. Проектирование цифрового устройства с применением языка Verilog, его отладка, оценка максимального быстродействия.	4
3. Проектирование цифрового устройства на языке Verilog на базе цифрового последовательного автомата, его моделирование, отладка и оценка максимального быстродействия.	4
4. Проектирование цифрового устройства управления памятью с помощью языка Verilog, его моделирование, отладка и оценка максимального быстродействия..	4
5. Коллоквиум	1
Итого	17

4.3 Перечень практических занятий

Наименование практических занятий	Количество ауд. часов
1. Основные этапы проектирования цифровых устройств на основе программируемой логики.	1
2. Схемотехническое и поведенческое описание цифровых устройств.	2
3. Особенности проектирования синхронных схем на FPGA ИМС. Контроль времени распространения сигналов в разных цепях схемы.	1
4. Моделирование цифровых устройств в среде Quartus II	1
5. Изучение конструкций языка описания аппаратуры Verilog HDL	11
6. Проектирование синхронных вычислительных устройств на языке Verilog HDL.	1
Итого	17

4.4 Курсовое проектирование

Цель работы (проекта): приобретение навыков автоматизированного проектирования цифровых устройств параллельных архитектур, самостоятельная разработка студентом синхронной цифровой схемы с использованием языка Verilog.

Содержание работы (проекта): Тема курсовой работы: Разработка и моделирование синхронного цифрового устройства на ПЛИС семейства FPGA.

Курсовая работа включает разработку и обоснование функциональной схемы

цифрового устройства параллельной архитектуры, описание логики его работы на языке Verilog, отладка проекта, моделирование его работы в пакете Quartus, программирование микросхемы на отладочной плате и проверка ее работы во всех режимах.

Каждое задание имеет два уровня: обычной сложности и повышенной, уровень выполнения задания студент выбирает самостоятельно. Тема курсовой работы составляется для каждого студента группы индивидуально. Курсовая работа оформляется пояснительной запиской и текстом программы.

В рамках каждой темы курсовой работы при формировании различных заданий варьируются параметры разрабатываемых устройств

Пояснительная записка оформляется в формате Word, текст записки набирается шрифтом Arial 12, текст программы -Courier New 12, рекомендуемое количество литературных источников от 2 до 12, объем пояснительной записки вместе с текстом программы от 10 до 25 стр. Пояснительная записка сдается преподавателю в распечатанном виде, после устранения выявленных замечаний задание защищается при личной встрече с преподавателем в аудитории или в on-line формате.

Примеры заданий приведены ниже:

Пример 1. Разработать запоминающее устройство, включающее два блока памяти 256x8 бит. Обеспечить логику работы такого буфера по принципу: пока пишутся данные в первый блок, параллельно считываются данные из второго блока, по окончании считывания из второго блока, происходит переключение режимов блоков: во второй блок ведется запись и параллельно считывание из первого блока и т.д. Таким образом, отсчеты данных непрерывно считываются из буферной памяти, поступая в выходной канал. Чтение слов данных в каждом из блоков должно обеспечиваться автоматическим последовательным считыва-

нием данных от 0 до конечного адреса.

Оба блока подключены к двум шинам данных. По одной шине поступают входные данные со стороны внешнего источника на запись в буфер, по другой шине выходные данные буфера непрерывным потоком поступают в канал связи.

Параллельно со считыванием такой буфер должен обеспечивать выборочную запись данных со стороны внешнего устройства в память. По активному сигналу WR необходимо записать данные с шины DIN по адресу шины A.

На отлично: Контролировать сигнал WR, если он равен 1 после переключения блоков – закончить запись и выдать сигнал ошибки на внешний источник.

Входные сигналы на выводах ПЛИС для проектирования буфера:

CLK - тактовая частота работы всех синхронных устройств ПЛИС

WR - разрешение записи данных в буфер

A -шина адреса буфера со стороны внешнего источника

DIN -шина входных данных для записи (8бит)

Выходные сигналы на выводах ПЛИС для проектирования буфера:

DOUT -выходная шина данных буфера (8бит)

FIRST -доступен первый (логическая 1) или второй (логический 0)

блок регистров для записи со стороны вычислителя

ERROR -сигнал ошибки

Пример 2. Необходимо разработать устройство способное вычислять среднее значение последовательности и обнаруживать элементы, сильно отличающиеся от среднего значения и удалять их.

Устройство должно иметь память размером 128 слов 1 байт каждое. По сигналу LOAD данные загружаются в память. После записи последнего числа необходимо в течении 35 тактов (или менее) рассчитать среднее значение всех слов в памяти.

После этого необходимо посчитать за 35 тактов (или менее) новое среднее, заменив все значения которые больше или меньше ранее вычисленного среднего значения на $12,5\%$ ($1/8$) на ранее вычисленное среднее значение последовательности. Вывести значение суммы в выводную шину при активном сигнале OE.

На отлично: Количество итераций вычисления среднего с последующим уточнением не ограничено, пока присутствуют значения, не входящие в заданный интервал относительно среднего значения. Сформировать выходные сигналы: сигнализирующий о номере текущей итерации вычисления среднего и количество «замененных» элементов.

Входные сигналы:

CLK -тактовая синхронизация

LOAD -сигнал загрузки данных

DIN -входные данные

Выходные сигналы:

DOUТ -выходные данные накопителя (??? бит)

OE -сигнал вывода данных..

Темы:

№ п/п	Название темы	Перевод темы
1	Разработать синхронное запоминающее устройство, включающее два блока памяти.	Develop a synchronous storage device that includes two memory blocks.
2	Разработать устройство обнаружения и удаления из выборки сильно выделяющихся отсчётов.	Develop a device for detecting and removing strongly outliers from a sample.
3	Разработать процессор обработки цифровых потоков MIMD архитектуры.	Develop a processor for processing digital streams of MIMD architecture.
4	Разработать процессор обработки цифровых потоков SIMD архитектуры.	Develop a processor for processing digital streams of SIMD architecture.
5	Разработать буферную схему телекоммуникационной системы в виде двухпортового регистрового файла	Develop a telecommunications system buffer diagram as a two-port register file
6	Разработать буферную схему телекоммуникационной системы в виде регистровой очереди	Develop a buffer scheme of a telecommunications system in the form of a register queue

4.5 Реферат

Реферат не предусмотрен.

4.6 Индивидуальное домашнее задание

Индивидуальное домашнее задание не предусмотрено.

4.7 Доклад

Доклад не предусмотрен.

4.8 Кейс

Кейс не предусмотрен.

4.9 Организация и учебно-методическое обеспечение самостоятельной работы

Изучение дисциплины сопровождается самостоятельной работой студентов с рекомендованными преподавателем литературными источниками и информационными ресурсами сети Интернет.

Планирование времени для изучения дисциплины осуществляется на весь период обучения, предусматривая при этом регулярное повторение пройденного материала. Обучающимся, в рамках внеаудиторной самостоятельной работы, необходимо регулярно дополнять сведениями из литературных источников материал, законспектированный на лекциях. При этом на основе изучения рекомендованной литературы целесообразно составить конспект основных положений, терминов и определений, необходимых для освоения разделов учебной дисциплины.

Особое место уделяется консультированию, как одной из форм обучения и контроля самостоятельной работы. Консультирование предполагает особым образом организованное взаимодействие между преподавателем и студентами, при этом предполагается, что консультант либо знает готовое решение, которое он может предписать консультируемому, либо он владеет способами деятельности, которые указывают путь решения проблемы.

Самостоятельное изучение студентами теоретических основ дисциплины обеспечено необходимыми учебно-методическими материалами (учебники,

учебные пособия, конспект лекций и т.п.), выполненными в печатном или электронном виде.

Предусмотрена курсовая работа и лабораторные работы, связанные с проектированием цифровых схем в среде разработки проектов Quartus II.

Изучение студентами дисциплины сопровождается проведением регулярных консультаций преподавателей, обеспечивающих практические занятия по дисциплине, за счёт бюджета времени, отводимого на консультации (внеаудиторные занятия, относящиеся к разделу «Самостоятельные часы для изучения дисциплины»).

Текущая СРС	Примерная трудоемкость, ач
Работа с лекционным материалом, с учебной литературой	17
Опережающая самостоятельная работа (изучение нового материала до его изложения на занятиях)	0
Самостоятельное изучение разделов дисциплины	0
Выполнение домашних заданий, домашних контрольных работ	9
Подготовка к лабораторным работам, к практическим и семинарским занятиям	0
Подготовка к контрольным работам, коллоквиумам	6
Выполнение расчетно-графических работ	0
Выполнение курсового проекта или курсовой работы	23
Поиск, изучение и презентация информации по заданной проблеме, анализ научных публикаций по заданной теме	0
Работа над междисциплинарным проектом	0
Анализ данных по заданной теме, выполнение расчетов, составление схем и моделей, на основе собранных данных	0
Подготовка к зачету, дифференцированному зачету, экзамену	35
ИТОГО СРС	90

5 Учебно-методическое обеспечение дисциплины

5.1 Перечень основной и дополнительной литературы, необходимой для освоения дисциплины

№ п/п	Название, библиографическое описание	К-во экз. в библи.
Основная литература		
1	Березин, Виктор Владимирович. Автоматизация проектирования электронных устройств [Электронный ресурс] : электрон. учеб. пособие / В. В. Березин, Ю. Т. Лячек, Ш. С. Фахми, 2014. -1 эл. опт. диск (CD-ROM)	неогр.
2	Кузнецов, Сергей Викторович. Компьютерные технологии в телекоммуникационных системах [Электронный ресурс] : лаб. практикум / С. В. Кузнецов, 2014. -1 эл. опт. диск (CD-ROM)	неогр.
3	Кузнецов, Сергей Викторович. Компьютерные технологии в телекоммуникационных системах [Электронный ресурс] : электрон. учеб. пособие / С. В. Кузнецов, 2012. -1 эл. опт. диск (CD-ROM)	неогр.
4	Мурсаев, Александр Хафизович. Моделирование цифровых устройств на VHDL [Текст] : учеб. пособие / А.Х. Мурсаев, Р.И. Грушвицкий, 2010. -79 с.	38
5	Мурсаев А. Х. Практикум по проектированию на языках VerilogHDL и SystemVerilog [Электронный ресурс] : учебное пособие для вузов, 2021. - 120 с.	неогр.
Дополнительная литература		
1	Угрюмов, Евгений Павлович. Программируемые компоненты устройств и систем на кристалле [Электронный ресурс] : учеб. пособие / Е. П. Угрюмов, 2013. -1 эл. опт. диск (CD-ROM)	неогр.
2	Воронов, Александр Владимирович. Автоматизированное проектирование цифровых устройств в системах телекоммуникаций [Текст] : Учеб. пособие / А.В.Воронов, С.В.Кузнецов, В.Ю.Приходько, 2002. -63 с.	неогр.
3	Соловьев, Валерий Васильевич. Проектирование цифровых систем на основе программируемых логических интегральных схем [Текст] / В.В.Соловьев, 2001. -636 с.	14
4	Соловьев, Валерий Васильевич. Основы языка проектирования цифровой аппаратуры Verilog [Текст] / В. В. Соловьев, 2019. -205 с.	5
5	Сергиенко, Александр Борисович. Цифровая обработка сигналов [Текст] : Учеб. пособие для вузов по направлению подгот. дипломир. специалистов "Информатика и вычислительная техника" / А.Б.Сергиенко, 2002. -603 с.	114
6	Сергиенко, Александр Борисович. Цифровая обработка сигналов [Текст] : Учеб. пособие для вузов по направлению подгот. дипломир. специалистов "Информатика и вычислительная техника" / А.Б.Сергиенко, 2002. -603 с.	114

5.2 Перечень ресурсов информационно-телекоммуникационной сети «Интернет», используемых при освоении дисциплины

№ п/п	Электронный адрес
1	Тарасов И.Е., Певцов Е.Ф. Основы проектирования цифровых устройств с применением языка Verilog: учебное пособие, Москва: Изд-во МГТУ МИРЭА, 2011. https://fks.mirea.ru/wp-content/uploads/Items/%D0%A1%D0%B8%D1%81%D1%82%D0%B5%D0%BC%D1%8B_%D0%B0%D0%B2%D1%82%D0%BE%D0%BC%D0%B0%D1%82%D0%B8%D0%B7%D0%B8%D1%80%D0%BE%D0%B2%D0%B0%D0%BD%D0%BD%D0%BE%D0%B3%D0%BE_%D0%BF%D1%80%D0%BE%D0%B5%D0%BA%D1%82%D0%B8%D1%80%D0%BE%D0%B2%D0%B0%D0%BD%D0%B8%D1%8F_%D0%B2_%D1%8D%D0%BB%D0%B5%D0%BA%D1%82%D1%80%D0%BE%D0%BD%D0%B8%D0%BA%D0%B5/Train_Ver.pdf
2	Акчурин А.Д., Юсупов К.М. Программирование на языке Verilog. Учебное пособие, Казань: Изд-во Казанского федерального университета, 2016. http://kpfu.ru/portal/docs/F2032376552/Verilog_Examples_D.pdf

5.3 Адрес сайта курса

Адрес сайта курса: <https://vec.etu.ru/moodle/course/view.php?id=12835>

6 Критерии оценивания и оценочные материалы

6.1 Критерии оценивания

Для дисциплины «Цифровые технологии в телекоммуникационных системах» предусмотрены следующие формы промежуточной аттестации: зачет с оценкой.

Зачет с оценкой

Оценка	Описание
Неудовлетворительно	Курс не освоен. Студент испытывает серьезные трудности при ответе на ключевые вопросы дисциплины
Удовлетворительно	Студент в целом овладел курсом, но некоторые разделы освоены на уровне определений. Умеет решать задачи.
Хорошо	Студент овладел курсом, но в отдельных вопросах испытывает затруднения.
Отлично	Студент демонстрирует полное овладение курсом, способен применять полученные знания при решении конкретных задач.

Особенности допуска

Доступ студента к дифференциальному зачёту осуществляется после сдачи студентом курсовой работы, выполнении всех тестов и ответах на вопросы эссе, входящих в тест.

6.2 Оценочные материалы для проведения текущего контроля и промежуточной аттестации обучающихся по дисциплине

Вопросы к дифф.зачету

№ п/п	Описание
1	Основные разновидности полужаказных и заказных больших интегральных схем.
2	Архитектура семейства программируемых логических интегральных схем (ПЛИС) MAX7000S. Структурная схема БИС.
3	Основные отличия структур ПЛИС FPGA и EPLD.
4	Методы привязки входных и выходных сигналов проектов на ПЛИС в пакете Quartus II к выводам ПЛИС. Возможности по конфигурированию устройств ввода/вывода для ПЛИС семейства Cyclon.
5	Интерфейс сопряжения с гибкой логикой JTAG и его использование для реконфигурации, программирования и тестирования ПЛИС и БИС с гибкой логикой.
6	Программирование логики в пакете Quartus II. Виды описания логики цифрового устройства. Основные редакторы и языки пакета Quartus II.
7	Основные этапы автоматизированного проектирования цифровых устройств на программируемой логике в Quartus II.
8	Типы и задачи моделирование цифровых схем в пакете Quartus II.
9	Классификация параллельных вычислителей по организации потоков команд и данных. Векторные и матричные ОКМД-компьютеры.
10	Многопроцессорные системы класса МКМД и потоковые параллельные компьютеры класса МПД (машины, управляемые потоком данных).
11	Векторные команды и матричная вычислительная система. Скалярно-векторная обработка. Схемы адресации векторов и специальные векторные команды.
12	Векторизация вычислений. Архитектура матричной системы.
13	Конвейеризация и перекрытие вычислений. Пример статического конвейера и работы с перекрытием вычислений.
14	Организация вычислительного процесса в многопроцессорных вычислительных комплексах.
15	Организация иерархических систем ОЗУ (КЭШ-память, очередь предварительной выборки).
16	Два типа высокопроизводительных микропроцессоров -RISC и CISC процессоры.
17	Особенности и параметры RISC-процессоров. Особенности системы команд RISC процессоров.
18	Требования, предъявляемые к цифровым процессорам обработки сигналов.

19	Архитектура ядра процессора ADSP-21XX(шины, вычислители, их свойства, адресный генератор и т.д.)
20	Особенности методов цифровой обработки сигналов: «перекрытие» спектров, «размывание» («утечка») спектров. Методы борьбы.
21	Линейные и циклические свертки при обработке сигналов дискретного времени.
22	Быстрые методы вычисления свёрток. Фильтрация непрерывных сигналов с помощью БПФ. Метод накопления с перекрытием.
23	Алгоритмы CORDIC, идея, описание, классификация
24	Режимы «поворот» и «вектор» CORDIC алгоритмов.
25	Компенсация «деформации» при вычислениях CORDIC алгоритмов.
26	Особенности современных программируемых КМОП БИС. Семейства программируемых БИС фирмы Altera.
27	Архитектура семейства программируемых логических интегральных схем Ciclon. Структурная схема БИС.
28	Особенности проектирования синхронных автоматов на ИМС FPGA.
29	Причина возникновения импульсных помех («иголок») в синхронных и несинхронных цифровых схемах на базе ПЛИС FPGA структуры. Методы борьбы.
30	Контроль времени распространения сигналов в различных ветвях цепей проекта.
31	Возможности редактора назначений Assignment Editor для настройки параметров ресурсов ПЛИС семейства Ciclon.
32	Особенности описания логики работы на языке Verilog, структура файлов, простые логические выражения и использование условного оператора if.
33	Описание логики работы цифрового устройства на основе таблицы переходов и оператора выбора case языка Verilog.
34	Описание логики работы цифрового устройства в виде последовательного цифрового автомата на языке Verilog.
35	Классификация конвейеров. Основы проектирования логических ступеней конвейера.
36	Конвейеризация и параллелизм вычислений. Синхронизация конвейера. Методы ускорения загрузки данных в конвейер из ОЗУ компьютера.
37	Виды соединений процессоров друг с другом в компьютерах класса МКМД.
38	Работа микропроцессора в защищённом режиме. Особенности виртуальной адресации оперативной памяти.
39	Способы организации КЭШ-памяти и ее обновления
40	Особенности архитектуры Pentium III
41	Цифровые сигнальные процессоры (ЦСП). Их основные особенности.
42	Особенности структуры микропроцессоров (Неймана, Гарвардская, расширенная Гарвардская)
43	Пример реализации цифрового фильтра на ADSP 21XX
44	Встроенные периферийные устройства процессоров семейства ADSP 21XX
45	Основные характеристики сглаживающих окон. Характеристики некоторых окон.
46	Быстрые методы вычисления свёрток. Фильтрация непрерывных сигналов с помощью БПФ Метод перекрытия с суммированием.
47	Примеры использования алгоритмов CORDIC: вычисление тригонометрических функций, вычисление длины вектора.

48	Примеры использования алгоритмов CORDIC: переход от полярных координат к декартовым, вычисление обратных тригонометрических функций.
49	Примеры использования алгоритмов CORDIC: операции умножения и деления
50	Трёхмерные CORDIC алгоритмы.

Форма билета

Министерство науки и высшего образования Российской Федерации
 ФГАОУ ВО «Санкт-Петербургский государственный электротехнический
 университет «ЛЭТИ» имени В.И. Ульянова (Ленина)»

БИЛЕТ ДИФФЕРЕНЦИАЛЬНОГО ЗАЧЕТА № 1

Дисциплина **Цифровые технологии в телекоммуникационных системах РЭС**

1. Основные разновидности полузаказных и заказных больших интегральных схем.
2. Трёхмерные CORDIC алгоритмы.

УТВЕРЖДАЮ

Заведующий кафедрой

В.Н.Малышев

Образцы задач (заданий) для контрольных (проверочных) работ

В качестве проверочных работ используются тесты, размещённые в среде Moodle. Тесты включают в себя вопросы типа "Множественный выбор", "На соответствие", "Числовой ответ", "Эссе" и "Все или ничего".

Примеры вопросов теста:

Тест 1:

1. Выберите правильные способы комментирования?

2. Выберите правильный вариант, в которых 8-ми разрядной переменной C типа wire присваивается сумма младших четырёх разрядов 32-х разрядных регистров A, B `reg [31:0] A; reg [31:0] B;`
3. Какого рода бывают присваивания?
4. Какой блок программы Verilog не является синтезируемым?
5. Какую парадигму использует Verilog?
6. Какое ключевое слово описывает спадающий сигнал (переход от 1 к 0)?
7. Какие ключевые слова не поддерживаются Verilog?
8. В чем назначение языка Verilog?
9. Что обычно используется для передачи одного сигнала между двумя частотными доменами?
10. Какого рода бывают порты?
17. Сколько тактовых линий может поступать в синхронную схему?
18. Выберите вариант синхронного 32-х разрядного счётчика со сбросом, сброс которого обеспечивается по логическому нулю.
19. Запишите в двоичной системе исчисления чему будет равно значение переменной `flags` при `a` и `b` равных единице (нолю) и числе `XX` на шине `input_data`?

Вопросы Эссе

- 1 Опишите в качестве модуля простой синхронный X-разрядный счётчик "читающий" по указанному фронту синхросигнала
- 2 Опишите в качестве модуля арифметическое устройство, складывающее или вычитающее два XX-разрядных числа приходящих на вход. Результат вычислений подавать на выходной порт. Выполняемая операция (сложения или

вычитания) зависит от входного переключателя (1 - сложение, 0 - вычитание).

Тест 2:

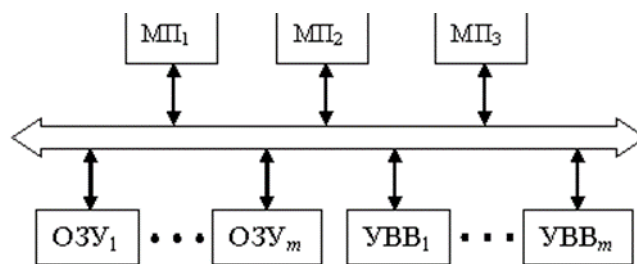
1. Чем отличается ОКМД матричный вычислитель от векторного?

2. Высокопараллельными многопроцессорными системами называют вычислители класса:

3. Какой вид организации управления работой многопроцессорного комплекса является наиболее простым:

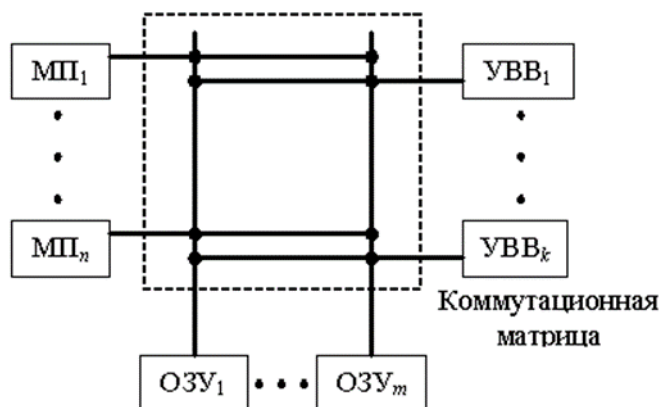
6. В рамках многопроцессорной системы устанавливается постоянно обновляющийся перечень решаемых задач и каждый процессор по мере освобождения загружается следующей задачей, выделяются необходимые для нее ресурсы. При использовании данного принципа управления работой многопроцессорной системы появляется возможность динамического перераспределения ресурсов в процессе выполнения задач. Как называется данный принцип.

7. Укажите название способа организации связей в многопроцессорном комплексе, приведенном на рисунке.



а

8. Укажите название способа организации связей в многопроцессорном комплексе, приведенном на рисунке.



Вопросы "Эссе"

1. Своими словами перечислите факторы, приводящие к снижению реальной производительности матричных вычислителей

2. Своими словами перечислите недостатки управления процессом вычислений в многопроцессорных комплексах по принципу "ведущий-ведомый"

3. Кратко опишите своими словами основные достоинства CISC процессоров, парадигму данного подхода к разработке микропроцессоров.

4. Кратко опишите своими словами основные недостатки CISC процессоров.

5. Кратко опишите своими словами основные достоинства RISC процессоров, парадигму данного подхода к разработке микропроцессоров.

Тест 3:

1) CORDIC алгоритмы. Выберите наиболее полное с вашей точки зрения определение:

2) Выберите правильный вид формулы поворота координат на угол α

3) выберите правильный вид формулы матрицы вращения при CORDIC вычислениях

4) При использовании CORDIC алгоритма для вычисления поворо-

та вектора на угол α , последний представляется как последовательные сдвиги на углы $\varphi(i)$, которые определяются как:

- 5) Коэффициент деформации – это число определяющее:
- 6) Эффекты, связанные с конечной разрядностью представления чисел квантования в цифровых системах, разделяются на категории. Какой из вариантов не относится к ним?
- 7) Выберите, какие по вашему мнению претерпевает изменения спектр сигнала непрерывного времени при дискретизации с частотой F_d : (несколько вариантов)
- 8) Выберите известные вам алгоритмы быстрого преобразования Фурье (БПФ) (несколько вариантов).

Весь комплект контрольно-измерительных материалов для проверки сформированности компетенции (индикатора компетенции) размещен в закрытой части по адресу, указанному в п. 5.3

6.3 График текущего контроля успеваемости

Неделя	Темы занятий	Вид контроля
4	Программируемые логические интегральные схемы и этапы автоматизированного проектирования цифровых устройств	
5		Тест
7	Параллельные архитектуры обработки цифровой информации	
8		Тест
14	Реализация параллельных вычислительных архитектур и методов в производительных микропроцессорах, ПЛИС и вычислителях на их основе.	
15		Тест
16	заключение	
17		Защита КР / КП

6.4 Методика текущего контроля

на лекционных занятиях

Текущий контроль включает в себя контроль посещаемости (не менее **80** % занятий), по результатам которого студент получает допуск на дифф. зачет.

на практических (семинарских) занятиях

Текущий контроль включает в себя контроль посещаемости (не менее **80** % занятий), по результатам которого студент получает допуск на дифф. зачет.

В ходе проведения практических занятий целесообразно привлечение студентов к как можно более активному участию в дискуссиях, решении задач, обсуждениях и т. д. При этом активность студентов также может учитываться преподавателем, как один из способов текущего контроля на практических занятиях.

самостоятельной работы студентов

Контроль самостоятельной работы студентов осуществляется на лекционных и практических занятиях студентов по методикам, описанным выше.

при выполнении курсовой работы

Текущий контроль при выполнении курсовой работы осуществляется на

практических занятиях при консультировании студентов.

Оформление пояснительной записки курсовой работы выполняется в соответствии с требованиями к студенческим работам принятым в СПбГЭТУ "ЛЭТИ".

Текущий контроль включает в себя сдачу студентами автоматизированных тестов в среде Moodle, сдачу в срок отчётов по лабораторным работам и их защиту, а также выполнение и защиту курсовой работы. При успешном выполнении всех пунктов текущего контроля студент получает допуск на дифф. зачет.

Контроль самостоятельной работы студентов осуществляется на лекционных занятиях студентов по методикам, описанным выше.

Оценка за курсовую работу формируется по следующей шкале:

«Отлично» – курсовая работа выполнена без замечаний;

«Хорошо» – курсовая работа выполнена с незначительными замечаниями;

«Удовлетворительно» – курсовая работа выполнена с незначительными ошибками количеством не более двух;

«Не удовлетворительно» – курсовая работа не выполнена или выполнена с грубыми ошибками.

Оценка за выполнение теста формируется по следующей шкале:

”Отлично” - оценка, полученная за тест в среде Moodle, больше 9 баллов;

”Хорошо” - оценка, полученная за тест в среде Moodle, от 7.5 баллов до 9 баллов включительно;

”Удовлетворительно” - оценка, полученная за тест в среде Moodle, от 6 баллов до 7.5 баллов включительно;

”Неудовлетворительно” - оценка, полученная за тест в среде Moodle, ме-

нее или равна 6 баллам.

7 Описание информационных технологий и материально-технической базы

Тип занятий	Тип помещения	Требования к помещению	Требования к программному обеспечению
Лекция	Лекционная аудитория	Количество посадочных мест – в соответствии с контингентом, рабочее место преподавателя, экран, проектор, ноутбук, доска	1) Windows 7 и выше; 2) Microsoft Office 2007 и выше
Лабораторные работы	Лаборатория	Количество посадочных мест – в соответствии с контингентом. Демонстрационные и отладочные платы для Quartus II и компьютер из расчета 1 рабочее место на 2-х или 3-х студентов, рабочее место преподавателя, демонстрационный монитор, компьютер преподавателя.	1) Windows 7 и выше; 2) Microsoft Office 2007 и выше 3)Пакет IDE Quartus II, версии 9.2 и выше
Практические занятия	Аудитория	Демонстрационные и отладочные платы для Quartus II и компьютер из расчета 1 рабочее место на 2-х или 3-х студентов, рабочее место преподавателя, демонстрационный монитор, компьютер преподавателя.	1) Windows 7 и выше; 2) Microsoft Office 2007 и выше 3)Пакет IDE Quartus II, версии 9.2 и выше
Самостоятельная работа	Помещение для самостоятельной работа	Оснащено компьютерной техникой с возможностью подключения к сети «Интернет» и обеспечением доступа в электронную информационно-образовательную среду университета.	1) Windows XP и выше; 2) Microsoft Office 2007 и выше

8 Адаптация рабочей программы для лиц с ОВЗ

Адаптированная программа разрабатывается при наличии заявления со стороны обучающегося (родителей, законных представителей) и медицинских показаний (рекомендациями психолого-медико-педагогической комиссии). Для инвалидов адаптированная образовательная программа разрабатывается в соответствии с индивидуальной программой реабилитации.

ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ

№ п/п	Дата	Изменение	Дата и номер протокола заседания УМК	Автор	Начальник ОМОЛА