

Документ подписан простой электронной подписью  
Информация о владельце:  
ФИО: Галунин Сергей Александрович  
Должность: проректор по учебной работе  
Дата подписания: 07.09.2023 11:16:20  
Уникальный программный ключ:  
08ef34338325bdb0ac5a47baa5472ce36cc3fc3b

Приложение к ОПОП  
«Организация и программирова-  
ние интеллектуальных систем»



**СПбГЭТУ «ЛЭТИ»**  
ПЕРВЫЙ ЭЛЕКТРОТЕХНИЧЕСКИЙ

МИНОБРНАУКИ РОССИИ

федеральное государственное автономное образовательное учреждение высшего образования  
**«Санкт-Петербургский государственный электротехнический университет  
«ЛЭТИ» им. В.И.Ульянова (Ленина)»  
(СПбГЭТУ «ЛЭТИ»)»**

---

**РАБОЧАЯ ПРОГРАММА**

ДИСЦИПЛИНЫ

**«ЯЗЫКИ ПРОЕКТИРОВАНИЯ АППАРАТУРЫ»**

для подготовки бакалавров

по направлению

09.03.01 «Информатика и вычислительная техника»

по профилю

**«Организация и программирование интеллектуальных систем»**

Санкт-Петербург

2023

## ЛИСТ СОГЛАСОВАНИЯ

Разработчики:

к.т.н., доцент Буренева О.И.

Рабочая программа рассмотрена и одобрена на заседании кафедры ВТ  
19.01.2022, протокол № 1

Рабочая программа рассмотрена и одобрена учебно-методической комиссией  
ФКТИ, 24.02.2022, протокол № 2

Согласовано в ИС ИОТ

Начальник ОМОЛА Загороднюк О.В.

## 1 СТРУКТУРА ДИСЦИПЛИНЫ

Обеспечивающий факультет	ФКТИ
Обеспечивающая кафедра	ВТ
Общая трудоемкость (ЗЕТ)	3
Курс	4
Семестр	7
<b>Виды занятий</b>	
Лекции (академ. часов)	17
Лабораторные занятия (академ. часов)	34
Иная контактная работа (академ. часов)	1
Все контактные часы (академ. часов)	52
Самостоятельная работа, включая часы на контроль (академ. часов)	56
Всего (академ. часов)	108
<b>Вид промежуточной аттестации</b>	
Дифф. зачет (курс)	4

## **2 АННОТАЦИЯ ДИСЦИПЛИНЫ**

### **«ЯЗЫКИ ПРОЕКТИРОВАНИЯ АППАРАТУРЫ»**

Дисциплина «Языки проектирования аппаратуры» направлена на изучение языка проектирования высокого уровня Verilog, освоение методологии проектирования вычислительных узлов с использованием современных систем автоматизированного проектирования и получение навыков описания, моделирования, синтеза и верификации дискретных и смешанных систем. На практике будут освоены методики описания комбинационных схем, последовательностных схем, конечных автоматов и операционных устройств. В качестве инструментальных средств проектирования при выполнении практических работ используются системы ModelSimAltera и Quartus II.

### **SUBJECT SUMMARY**

#### **«HARDWARE DESCRIPTION LANGUAGE»**

The discipline "Hardware Design Languages" is devoted to the study of the high-level design language Verilog, mastering the methodology of computing units design with the use of modern computer-aided design systems and obtaining the skills of description, simulation, synthesis and verification of discrete and mixed systems. In practice, the methods of describing combinational circuits, sequential circuits, finite state machines and operating devices will be mastered. The systems ModelSimAltera and Quartus II are used as design tools for practical work.

## 3 ОБЩИЕ ПОЛОЖЕНИЯ

### 3.1 Цели и задачи дисциплины

1. Цель дисциплины состоит в освоении методологии и технологии проектирования средств вычислительной техники с использованием языковых средств современных систем автоматизированного проектирования.

2. Задачами дисциплины являются:

- изучение языка проектирования высокого уровня Verilog;
- формирование умений проектирования узлов проблемно-ориентированных вычислительных устройств с использованием современных систем автоматизированного проектирования (САПР);
- получении навыков описания, моделирования, синтеза и верификации дискретных и смешанных систем.

3. По результатам обучения студенты получат знания:

- основных методик проектирования средств вычислительной техники с использованием языковых средств представления проектов;
- о формате и особенностях применения типовых синтаксических конструкций некоторых языков проектирования аппаратуры;
- о представлениях типовых дискретных устройств на языке проектирования аппаратуры.

4. По результатам обучения студенты должны получить умения в области проектирования специализированных цифровых устройств средней сложности, то есть уметь:

- описывать и моделировать специализированные цифровые устройства средней сложности;
- имплементировать цифровые устройства в микросхемы программируемой логики.

5. По результатам обучения студенты должны получить навыки
- применения программных средств моделирования и синтеза дискретных устройств на базе их языкового описания;
  - проведения модельных и натурных экспериментов.

### **3.2 Место дисциплины в структуре ОПОП**

Дисциплина изучается на основе ранее освоенных дисциплин учебного плана:

1. «Дискретная математика и теоретическая информатика»
2. «Элементная база цифровых систем»

и обеспечивает подготовку выпускной квалификационной работы.

### 3.3 Перечень планируемых результатов обучения по дисциплине, соотнесенных с планируемыми результатами освоения образовательной программы

В результате освоения образовательной программы обучающийся должен достичь следующие результаты обучения по дисциплине:

<b>Код компетенции/ индикатора компетенции</b>	<b>Наименование компетенции/индикатора компетенции</b>
ПК-2	Способен осуществлять концептуальное, функциональное и логическое проектирование систем среднего масштаба и сложности
<i>ПК-2.1</i>	<i>Анализирует проблемную ситуацию, планирует разработку системы, осуществляет постановку целей</i>
СПК-3	Способен выполнять работы по созданию (модификации) и сопровождению ИС и интеллектуальных ИС
<i>СПК-3.2</i>	<i>Разрабатывает архитектуру ИС</i>
<i>СПК-3.4</i>	<i>Создает пользовательскую документацию к ИС</i>
СПК-6	Способен разрабатывать электрические схемы цифровых модулей
<i>СПК-6.1</i>	<i>Разрабатывает электрические схемы цифровых модулей</i>
<i>СПК-6.2</i>	<i>Проверяет и исследует функционирование электрических схем цифровых модулей при различных условиях</i>

## 4 СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

### 4.1 Содержание разделов дисциплины

#### 4.1.1 Наименование тем и часы на все виды нагрузки

№ п/п	Наименование темы дисциплины	Лек, ач	Лаб, ач	ИКР, ач	СР, ач
1	Проектирование электронных устройств с использованием языков описания аппаратуры. Базовые понятия языка Verilog	2	4		6
2	Описание комбинационных схем и простых триггерных устройств	2	4		8
3	Иерархическое проектирование	2	4		8
4	Проектирование автоматов	4	6		10
5	Проектирование операционных устройств	4	8		12
6	Потоковые, конвейерные и микропрограммные реализации операционных устройств	3	8	1	12
	Итого, ач	17	34	1	56
	Из них ач на контроль	0	0	0	0
	Общая трудоемкость освоения, ач/зе	108/3			

#### 4.1.2 Содержание

№ п/п	Наименование темы дисциплины	Содержание
1	Проектирование электронных устройств с использованием языков описания аппаратуры. Базовые понятия языка Verilog	Этапы проектирования цифровых устройств. Типовой поток проектирования устройств. Основные этапы проектирования. Иерархия языков проектирования средств ВТ. Синтез и моделирование. Понятие процесса. Понятие сигнала. Типы данных. Структура программ. Структурное и поведенческое представление. Иерархия описаний. Стили проектирования. Типы данных.
2	Описание комбинационных схем и простых триггерных устройств	Проектирование комбинационных схем. Способы задания переключательных функций. Алгебраический способ, алгоритмический способ (декомпозиция Шеннона), табличный способ. Встроенные примитивы языка Verilog. UDP для описания комбинационных схем. Операторы для описания комбинационных схем.
3	Иерархическое проектирование	Структурная модель проекта. Дешифратор. Мультиплексор. Неожиданные триггеры. Параметризация модулей. Оператор вставки компонента. Именованное и позиционное сопоставление сигналов. Настройки библиотечных элементов.



№ п/п	Наименование темы дисциплины	Содержание
4	Проектирование автоматов	Описание цифровых автоматов. Способы описания цифровых автоматов. Структуры автоматов Мили и Мура. Кодирование состояний автомата.
5	Проектирование операционных устройств	Последовательные и параллельные реализации ОУ. Этапы проектирования. Разметка граф схемы автомата. Сборка операционного блока.
6	Потоковые, конвейерные и микропрограммные реализации операционных устройств	Асинхронные и конвейерные схемы. Особенности потоковых и конвейерных реализаций ОУ.

## 4.2 Перечень лабораторных работ

Наименование лабораторной работы	Количество ауд. часов
1. Знакомство с системой моделирования ModelSim. Структура программы на VerilogHDL.	4
2. Представление комбинационных схем и простых триггерных устройств	4
3. Модульное и иерархическое проектирование	4
4. Описание цифровых автоматов	6
5. Проектирование операционного устройства	8
6. Потоковые и конвейерные реализации операционных устройств	8
Итого	34

## 4.3 Перечень практических занятий

Практические занятия не предусмотрены.

## 4.4 Курсовое проектирование

Курсовая работа (проект) не предусмотрены.

## 4.5 Реферат

Реферат не предусмотрен.

## 4.6 Индивидуальное домашнее задание

Индивидуальное домашнее задание не предусмотрено.

#### 4.7 Доклад

Доклад не предусмотрен.

#### 4.8 Кейс

Кейс не предусмотрен.

#### 4.9 Организация и учебно-методическое обеспечение самостоятельной работы

Изучение дисциплины сопровождается самостоятельной работой студентов с презентациями лекций, рекомендованными преподавателем литературными источниками и информационными ресурсами сети Интернет.

Особое место уделяется консультированию, как одной из форм обучения и контроля самостоятельной работы. Консультирование предполагает особым образом организованное взаимодействие между преподавателем и студентами.

Текущая СРС	Примерная трудоемкость, ач
Работа с лекционным материалом, с учебной литературой	16
Опережающая самостоятельная работа (изучение нового материала до его изложения на занятиях)	10
Самостоятельное изучение разделов дисциплины	6
Выполнение домашних заданий, домашних контрольных работ	0
Подготовка к лабораторным работам, к практическим и семинарским занятиям	12
Подготовка к контрольным работам, коллоквиумам	0
Выполнение расчетно-графических работ	0
Выполнение курсового проекта или курсовой работы	0
Поиск, изучение и презентация информации по заданной проблеме, анализ научных публикаций по заданной теме	0
Работа над междисциплинарным проектом	0
Анализ данных по заданной теме, выполнение расчетов, составление схем и моделей, на основе собранных данных	0
Подготовка к зачету, дифференцированному зачету, экзамену	12
<b>ИТОГО СРС</b>	<b>56</b>

## 5 Учебно-методическое обеспечение дисциплины

### 5.1 Перечень основной и дополнительной литературы, необходимой для освоения дисциплины

№ п/п	Название, библиографическое описание	К-во экз. в библ.
Основная литература		
1	Мурсаев, Александр Хафизович. Практикум по проектированию на языках VerilogHDL и SystemVerilog [Текст] : учеб. пособие / А. Х. Мурсаев, О. И. Буренева, 2017. -117 с.	20
Дополнительная литература		
1	Соловьев, Валерий Васильевич. Основы языка проектирования цифровой аппаратуры Verilog [Текст] / В. В. Соловьев, 2019. -205 с.	5

### 5.2 Перечень ресурсов информационно-телекоммуникационной сети «Интернет», используемых при освоении дисциплины

№ п/п	Электронный адрес
1	Архив журнала "Компоненты и технологии" <a href="https://kit-e.ru/">https://kit-e.ru/</a>

### 5.3 Адрес сайта курса

Адрес сайта курса: <https://vec.etu.ru/moodle/course/view.php?id=8253>

## 6 Критерии оценивания и оценочные материалы

### 6.1 Критерии оценивания

Для дисциплины «Языки проектирования аппаратуры» формой промежуточной аттестации является дифф. зачет. Оценивание качества освоения дисциплины производится с использованием рейтинговой системы.

#### Дифференцированный зачет

Оценка	Количество баллов	Описание
Неудовлетворительно	0 – 51	теоретическое содержание курса не освоено, необходимые практически навыки и умения не сформированы, выполненные учебные задания содержат грубые ошибки, дополнительная самостоятельная работа над курсом не приведет к существенному повышению качества выполнения учебных заданий
Удовлетворительно	52 – 67	теоретическое содержание курса освоено частично, но пробелы не носят существенного характера, необходимые практические навыки и умения работы с освоенным материалом в основном сформированы, большинство предусмотренных программой обучения учебных заданий выполнено, некоторые из выполненных заданий содержат ошибки
Хорошо	68 – 84	теоретическое содержание курса освоено полностью, без пробелов, некоторые практические навыки и умения сформированы недостаточно, все предусмотренные программой обучения учебные задания выполнены, качество выполнения ни одного из них не оценено минимальным числом баллов, некоторые виды заданий выполнены с ошибками
Отлично	85 – 100	теоретическое содержание курса освоено полностью, без пробелов, необходимые практические навыки и умения сформированы, все предусмотренные программой обучения учебные задания выполнены, качество их выполнения оценено количеством баллов, близким к максимальному

## Особенности допуска

Допуск к дифференцированному зачету осуществляется на основании выполнения и защиты всех лабораторных работ в соответствии с перечнем.

Дифференцированный зачет проводится в форме электронного тестирования в системе Moodle.

При выставлении общей оценки за курс учитываются оценки, выставленные за лабораторные работы и результат электронного тестирования. При этом соотношение вклада в итоговую оценку составляет: 30% - оценка за тест, 70% - оценка за лабораторные работы.

## 6.2 Оценочные материалы для проведения текущего контроля и промежуточной аттестации обучающихся по дисциплине

### Вопросы к дифф.зачету

№ п/п	Описание
1	Какой стиль описания устройств соответствует традиционному подходу к написанию программ?
2	Какому двоичному представлению соответствует запись $5'd6$ ?
3	Укажите тип данных, который используется для представления связей между элементами структуры.
4	Что происходит во время останова оператора initial?
5	Дан фрагмент программы. Какой стиль описания использован в приведенном фрагменте?
6	Дан фрагмент программы. Укажите, какая временная диаграмма будет сформирована по следующему описанию.
7	Дан фрагмент программы. Сколько циклов моделирования обеспечит оператор for?
8	Дан фрагмент программы. Укажите временную диаграмму, сгенерированную программой.
9	Дан фрагмент программы. Какой модуль описывается приведенным кодом?
10	Дано описание обращения к параметру. Укажите правильное описание этого параметра.
11	Дан код программы и изображения графов. Какой из представленных графов переходов автомата соответствует приведенному тексту программы?
12	Имеется параметризованное описание компонента. Приведите вариант вставки компонента с изменением параметра.
13	Отличие описаний регистров с синхронным и асинхронным сбросом.
14	Блокирующие и неблокирующие присваивания при построении последовательных и параллельных конструкций.

15	Отличие описаний триггеров со статическим и динамическим управлением.
16	Функция задана таблицей истинности. Укажите фрагмент программы описания примитива, который соответствует этой таблице.
17	Функция задана таблицей истинности. Укажите правильное описание параметра truth_table при заданном обращении к нему.
18	Дано описание обращения к параметру. Укажите правильное описание этого параметра.
19	Какой из представленных текстов программы соответствует приведенному графу переходов автомата?
20	Дан код программы и изображения графов. Какой из представленных графов переходов автомата соответствует приведенному тексту программы?

### Вариант теста

Тест проводится в системе Moodle и состоит из 8 вопросов. Вопросы выбираются из банка вопросов случайным образом по следующей схеме:

**Вопрос 1. Какой стиль описания устройств соответствует традиционному подходу к написанию программ?**

Автоматный

Последовательный

Параллельный

**Вопрос 2. Какому двоичному представлению соответствует запись 5'd6?**

00110

000100

000101

**Вопрос 3. Дан фрагмент программы.**

```

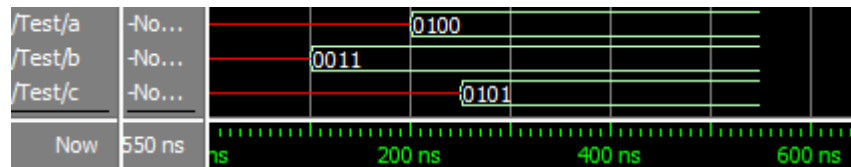
`timescale 10ns/10ns
module Test (a, b, c );
output reg [3:0] a, b, c;

initial
begin
    b = #10 4'b0011;
    a = #10 4'b0100;
    c = #5 a+4'b001;
    #30 $finish;
end
endmodule

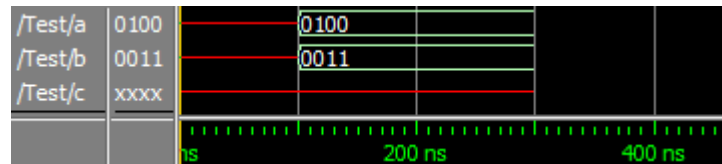
```

Укажите временную диаграмму, сгенерированную программой.

1.



2.



3. Диаграмма не сформируется, так как есть ошибки в настройках временной шкалы

**Вопрос 4. Дан фрагмент программы.**

```
module Examples (a,b,gt,eq,lt);
```

```
input [1:0] a, b;
```

```
output gt, eq, lt;
```

```
assign gt =(a>b) ? 1'b1 : 1'b0;
```

```
assign eq =(a==b) ? 1'b1 : 1'b0;
```

```
assign lt =(a<b) ? 1'b1 : 1'b0;
```

endmodule

**Какой модуль описывается приведенным кодом?**

2-1 мультиплексор

2 разрядный компаратор

2-4 дешифратор

**Вопрос 5. Дан фрагмент программы.**

```
module Test (D, Clk, Q);
```

```
  input D, Clk;
```

```
  output Q;
```

```
  reg Q;
```

```
  always @(D or Clk)
```

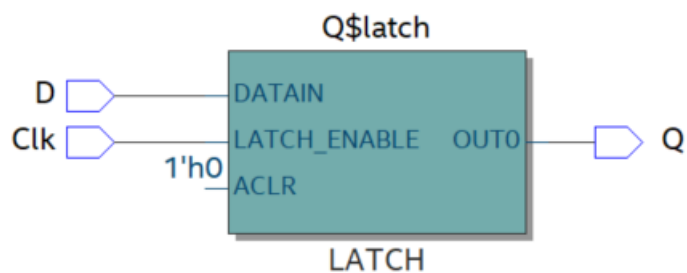
```
  if (Clk)
```

```
    Q = D;
```

```
endmodule
```

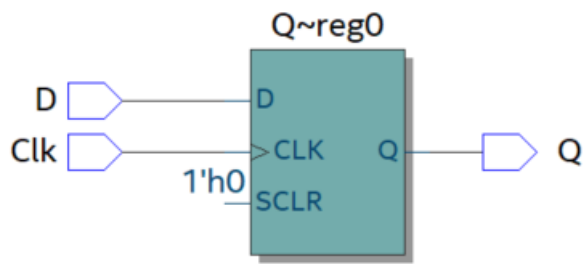
**Какой модуль описывается приведенным кодом?**

1.

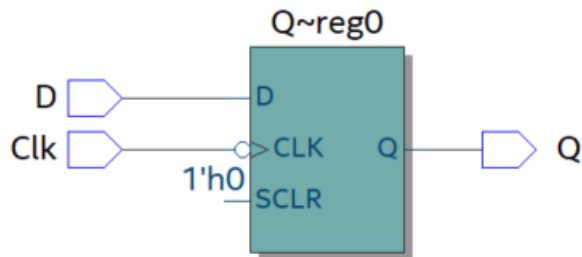


2.





3.



**Вопрос 6. Дан фрагмент программы.**

```

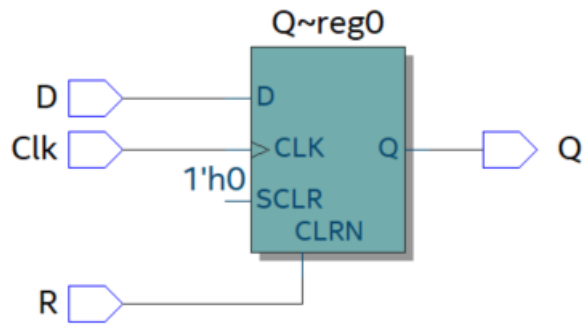
module Test (D, Clk, R, Q);
    input D, Clk, R;
    output Q;
    reg Q;
    always @ (posedge Clk or posedge R)
        if(R)
            Q <= 1'b0;
        else
            Q <= D;
endmodule

```

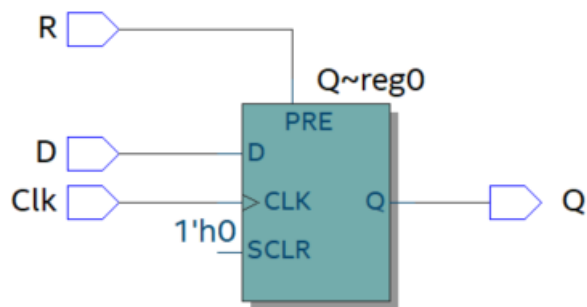
**Какой модуль описывается приведенным кодом?**

1. Этот код не синтезируется.

2.



3.



**Вопрос 7. Какой код обеспечит смену байт в слове?**

1.

```
always @(posedge Clk)
begin
word[15:8] = word[7:0];
word[ 7:0] = word[15:8];
end
```

2.

```
always @(posedge Clk)
fork
word[15:8] = word[7:0];
word[ 7:0] = word[15:8];
join
```

3.

```
always @(posedge Clk)

begin

word[15:8] <= word[7:0];

word[ 7:0] <= word[15:8];

end
```

**Вопрос 8. Дан код программы.**

```
module Test (input clk, reset, input b, output reg [1:0] out);

    reg [1:0] current_state, next_state;

    localparam [1:0] s0=0, s1=1, s2=2;

always @(current_state, b)

    case(current_state)

        s0: if(b)    next_state=s1;

                else if(!b) next_state=s2;

        s1: if(b)    next_state=s2;

                else if(!b) next_state=s0;

        s2: if(b)    next_state=s0;

                else if(!b) next_state=s1;

        default: next_state = s0;

    endcase

always @(current_state, b)

    casex(current_state)

        s0: out=2'b00;
```

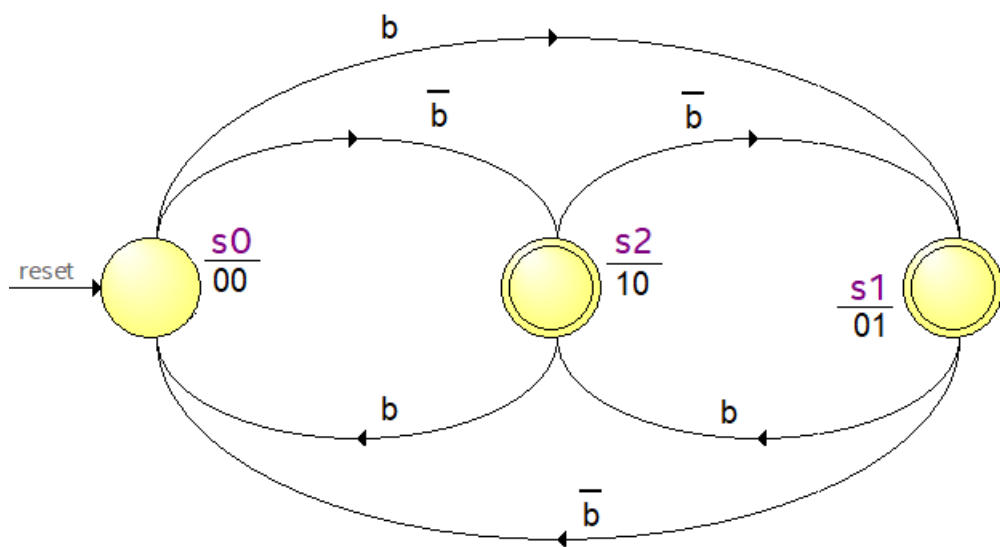
```

s1: out=2'b01;
s2: out=2'b10;
default: out=2'b00;
endcase

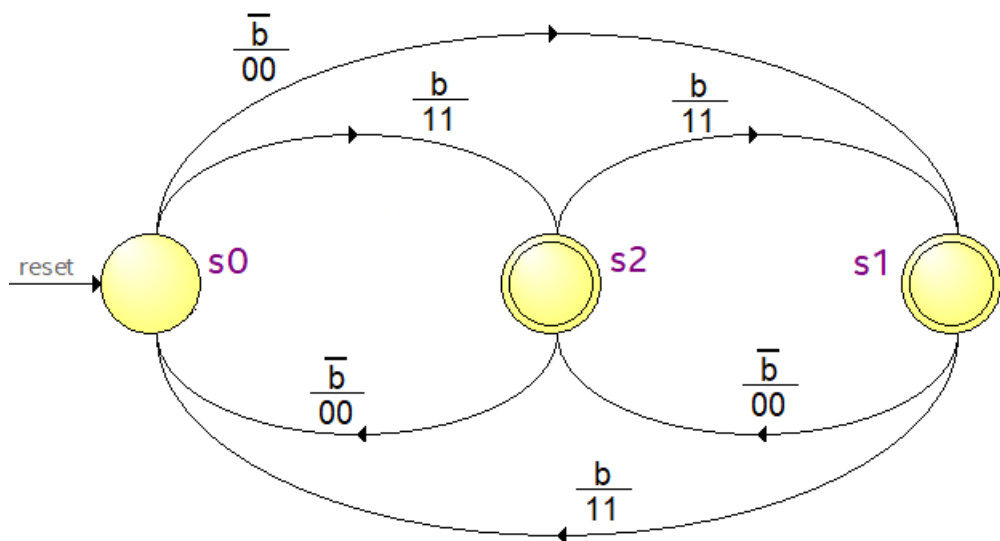
```

**Какой из представленных графов переходов автомата соответствует приведенному тексту программы?**

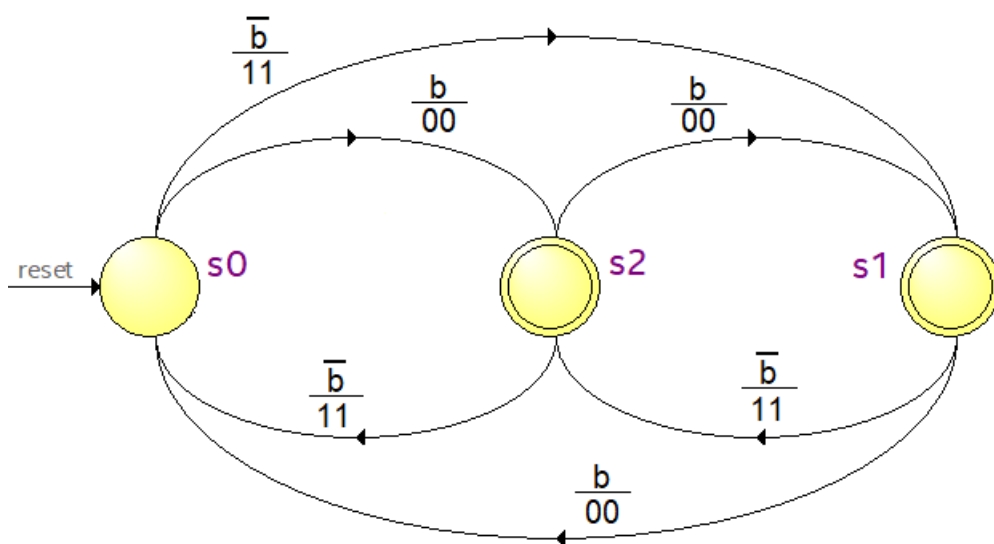
1.



2.



3.



Весь комплект контрольно-измерительных материалов для проверки сформированности компетенции (индикатора компетенции) размещен в закрытой части по адресу, указанному в п. 5.3

### 6.3 График текущего контроля успеваемости

Неделя	Темы занятий	Вид контроля
1	Проектирование электронных устройств с использованием языков описания аппаратуры. Базовые понятия языка Verilog	
2		Отчет по лаб. работе
3	Описание комбинационных схем и простых триггерных устройств	
4		Отчет по лаб. работе
5	Иерархическое проектирование	
6		Отчет по лаб. работе
7	Проектирование автоматов	
8		
9		Отчет по лаб. работе
10	Проектирование операционных устройств	
11		
12		
13		Отчет по лаб. работе
14	Потоковые, конвейерные и микропрограммные реализации операционных устройств	
15		
16		Отчет по лаб. работе

### 6.4 Методика текущего контроля

#### На лекционных занятиях

Текущий контроль включает в себя контроль посещаемости (не менее 80 % занятий)

#### На лабораторных занятиях

Порядок выполнения лабораторных работ, подготовки отчетов и их защиты.

В процессе обучения по дисциплине «Языки проектирования аппаратуры» студент обязан выполнить 6 лабораторных работ. Под выполнением работ подразумевается подготовка к работе, проведение модельных и натурных экспериментов, подготовка отчета и защита его на коллоквиуме. Выполнение лабораторных работ студентами осуществляется в бригадах до 2 человек. Оформление отчета студентами осуществляется в количестве одного отчета на бригаду

в соответствии с принятыми в СПбГЭТУ правилами оформления студенческих работ. Отчет оформляется после выполнения работы и представляется преподавателю на проверку. После проверки отчет либо возвращается (при наличии замечаний) на доработку, либо подписывается к защите. Работы защищаются студентами индивидуально. Каждый студент получает один вопрос по теоретической части и один вопрос по процедуре проведения работы. При обсуждении ответа преподаватель может задавать уточняющие вопросы. В случае, если студент демонстрирует достаточное знание вопроса (т.е. понимает и умеет объяснять особенности применяемых методов и возможные области их применения, умеет давать качественную оценку полученных экспериментальных результатов), работа для него считается зачтенной с оценкой в баллах. Работы оцениваются в балах, установленных в соответствии с их сложностью.

Лабораторная 1 - максимальный балл - 6.

Лабораторная 2 - максимальный балл - 10.

Лабораторная 3 - максимальный балл - 12.

Лабораторная 4 - максимальный балл - 12.

Лабораторная 5 - максимальный балл - 15.

Лабораторная 6 - максимальный балл - 15.

Максимально возможный балл за выполнение лабораторных работ - 70.

Текущий контроль включает в себя выполнение, сдачу в срок отчетов и их защиту по всем работам, по результатам которой студент получает допуск на дифференцированный зачет.

### **Самостоятельной работы студентов**

Контроль самостоятельной работы студентов осуществляется на лекционных и лабораторных занятиях по методикам, описанным выше.

**Результаты выполнения теста оцениваются следующим образом.**

В тесте 8 вопросов, максимальный балл - 30. Проходной балл - 20. Студент, не набравший проходной балл, получает оценку "неудовлетворительно". Ограничение по времени - 30 минут.

Итоговый балл за тест в диапазоне 20-25 соответствует оценке "удовлетворительно",

диапазон 26-28 баллов соответствует оценке "хорошо",

диапазон 29-30 баллов соответствует оценке "отлично".

Для выставления итоговой оценки баллы, полученные за прохождение теста, и баллы, полученные по результатам выполнения и защиты лабораторных работ суммируются и, в соответствии с таблицей п. 6.1, выставляется оценка.



## 7 Описание информационных технологий и материально-технической базы

Тип занятий	Тип помещения	Требования к помещению	Требования к программному обеспечению
Лекция	Лекционная аудитория	Количество посадочных мест – в соответствии с контингентом, рабочее место преподавателя, доска.	
Лабораторные работы	Лаборатория	Количество посадочных мест, оснащенных компьютерами – в соответствии с количеством студентов в группе; рабочее место преподавателя; доска.	Windows XP и выше, Система проектирования Quartus II компании Intel FPGA Web Edition, система моделирования ModelSim-Altera Edition. Отладочные комплекты Terasic Altera DE0 Board.
Самостоятельная работа	Помещение для самостоятельной работы	Оснащено компьютерной техникой с возможностью подключения к сети «Интернет» и обеспечением доступа в электронную информационно-образовательную среду университета.	1) Windows XP и выше; 2) Microsoft Office 2007 и выше

## **8 Адаптация рабочей программы для лиц с ОВЗ**

Адаптированная программа разрабатывается при наличии заявления со стороны обучающегося (родителей, законных представителей) и медицинских показаний (рекомендациями психолого-медико-педагогической комиссии). Для инвалидов адаптированная образовательная программа разрабатывается в соответствии с индивидуальной программой реабилитации.

## ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ

<b>№ п/п</b>	<b>Дата</b>	<b>Изменение</b>	<b>Дата и номер протокола заседания УМК</b>	<b>Автор</b>	<b>Начальник ОМОЛА</b>
1	18.05.2023	Программа актуальна, изменение не требуется	18.05.2023, Протокол №4	к.т.н., доцент Буренева О.И.	