

ЧИСТЯКОВ Геннадий Андреевич

**МЕТОД И МАШИНА ЛОГИЧЕСКОГО ВЫВОДА
ДЛЯ ФОРМАЛЬНОЙ ВЕРИФИКАЦИИ
ПАРАЛЛЕЛЬНЫХ АЛГОРИТМОВ**

Специальности:

05.13.11 – Математическое и программное обеспечение
вычислительных машин, комплексов и компьютерных сетей;

05.13.15 – Вычислительные машины, комплексы и
компьютерные сети

Автореферат
диссертации на соискание ученой степени
кандидата технических наук

Санкт-Петербург – 2015

Работа выполнена на кафедре электронных вычислительных машин федерального государственного бюджетного образовательного учреждения высшего образования «Вятский государственный университет», г. Киров.

Научный руководитель:

кандидат технических наук, доцент **Мельцов Василий Юрьевич**.

Официальные оппоненты:

доктор технических наук, профессор **Осипов Василий Юрьевич**, «Санкт-Петербургский институт информатики и автоматизации Российской академии наук», заведующий лабораторией информационно-вычислительных систем и технологий программирования;

кандидат технических наук, доцент **Муромцев Дмитрий Ильич**, «Санкт-Петербургский национальный исследовательский университет информационных технологий, механики и оптики», заведующий кафедрой информатики и прикладной математики.

Ведущая организация:

АО «Научно-исследовательский институт средств вычислительной техники» (АО «НИИ СВТ»), г. Киров.

Защита диссертации состоится «16» декабря 2015 г., в 15 часов 30 минут, на заседании диссертационного совета Д 212.238.01 Санкт-Петербургского государственного электротехнического университета «ЛЭТИ» им. В.И. Ульянова (Ленина) по адресу: 197376, Санкт-Петербург, ул. Профессора Попова, дом 5.

С диссертацией можно ознакомиться в библиотеке Федерального государственного автономного образовательного учреждения высшего образования «Санкт-Петербургский государственный электротехнический университета «ЛЭТИ» им. В.И. Ульянова (Ленина)» и на сайте www.eltech.ru.

Автореферат разослан «16» октября 2015 г.

Ученый секретарь
диссертационного совета
Д 212.238.01, к.т.н.



Н.Л. Щеголева

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность работы. Методы логического вывода представляют собой один из удобных инструментов для решения определенных классов задач символьной обработки, характеризующихся слабой формализуемостью, но при этом высокой информационной и вычислительной сложностью.

Полученные в последние двадцать лет результаты в теории параллельного логического вывода (Д.А. Поспелов, Дж. Минкер, Дж. Виелемакер, В.К. Финн, В.Н. Вагин, В.С. Фомичев, Д.А. Страбыкин и др.) позволяют вплотную подойти к построению систем искусственного интеллекта, под которыми, обычно, понимается аппаратно-программный комплекс, обладающий способностью к накоплению и корректировке знаний на основе активного восприятия информации о мире и целенаправленному поведению на основе процедуры вывода. Для реализации механизма вывода в подобных системах обработки знаний используется специальный модуль, называемый машиной логического вывода.

Сегодня аппарат логического вывода находит все большее применение в самых различных областях человеческой деятельности, таких как адаптивное управление, техническая и медицинская диагностика, логическое прогнозирование, интеллектуальная робототехника и т.д.

Одним из актуальных направлений, в котором применение логического вывода позволит получить более эффективные решения, является активно развивающаяся в последние годы (Ч. Хоар, Э. Кларк, О. Грумберг, Д. Пелед, Г. Холзманн, Дж. Куэйл, Ю.Г. Карпов, А.А. Шалыто и др.) формальная проверка корректности программ и алгоритмов (верификация). Отличительной чертой методов формальной верификации является возможность достоверного определения отсутствия или наличия ошибки в объекте исследования. Именно эта особенность позволила формальным методам занять важное место в анализе параллельных и распределенных программ, ход выполнения которых в значительной степени зависит от состояния вычислительной среды.

Наиболее перспективным разделом формального подхода принято считать технику проверки моделей, авторы которой (Э. Кларк, Э. Эмерсон и Дж. Сифакис) в 2007 году были удостоены премии Тьюринга. Однако, в работах Г. Холзмана, М. Варди и Ф. Шнобелена показано, что большинство методов, основанных на данной технике, обладают экспоненциальной временной сложностью, и не достигают необходимой производительности.

Одним из путей сокращения общего времени верификации алгоритмов с помощью техники проверки моделей является применение быстродействующих методов и машин логического вывода, включая их аппаратную поддержку. Очевидным преимуществом данного подхода также является возможность использования широкого спектра эвристик, что, в большинстве случаев, позволяет найти ответ досрочно, избежав необходимости полного анализа всех ветвей дерева решений. С учетом вышесказанного тему диссертационной работы можно считать актуальной и практически значимой.

Исследование выполнялось при содействии Совета по грантам Президента Российской Федерации для государственной поддержки молодых российских ученых и по государственной поддержке ведущих научных школ (проект СП-1891.2013.5).

Объектом исследования являются специализированные методы и машины логического вывода.

Предметом исследования являются методы логического вывода, позволяющие осуществлять сопоставление моделей объекта верификации и предъявляемых к нему требований, а также аппаратная и программная поддержка выполнения этих методов.

Целью исследования является разработка методов и механизмов логического вывода, предназначенных для эффективной формальной верификации алгоритмов с помощью техники проверки моделей.

Для достижения цели решаются следующие **задачи**.

1. Разработка алгоритма формирования базы знаний на основе модели алгоритма и формулы темпоральной логики, описывающей предъявляемые к нему требования, позволяющего свести задачу

сопоставления к задаче логического вывода.

2. Разработка специализированного метода параллельного логического вывода, предназначенного для наиболее эффективного решения логической задачи формальной верификации.

3. Разработка архитектуры машины логического вывода, поддерживающей выполнение метода, которая может быть реализована как программно, так и в виде аппаратного ускорителя. В последнем случае сокращение временных затрат на верификацию достигается за счет специализированных технических средств, выполненных на ПЛИС или СБИС.

4. Разработка программной реализации машины логического вывода и решение с ее помощью набора тестовых задач для подтверждения корректности и эффективности принятых решений.

Области исследования. Задачи, решенные в диссертации, соответствуют областям исследования специальностей 05.13.11 – Математическое и программное обеспечение вычислительных машин, комплексов и компьютерных сетей (п.1 – Модели, методы и алгоритмы проектирования и анализа программ и программных систем, их эквивалентных преобразований, верификации и тестирования) и 05.13.15 – Вычислительные машины, комплексы и компьютерные сети (п.3 – Разработка научных методов и алгоритмов организации арифметической, логической, символьной и специальной обработки данных, хранения и ввода-вывода информации и п.4 – Разработка научных методов и алгоритмов организации параллельной и распределенной обработки информации, многопроцессорных, многомашинных и специальных вычислительных систем).

Методы исследования. Для достижения цели исследования использовались методы теории алгоритмов, теории множеств, теории графов, теории логического вывода, теории вычислительных систем, теории объектно-ориентированного программирования.

Достоверность и обоснованность полученных в ходе исследования результатов подтверждается патентом и свидетельствами о регистрации ПО, результатами вычислительных

экспериментов, а также апробацией основных положений работы на международных и российских конференциях.

Научная новизна работы заключается в следующем.

1. Разработан специализированный метод логического вывода делением дизъюнктов на основе определяющего элемента в логике предикатов первого порядка, отличающийся от известных методов использованием новой процедуры (процедуры ограниченного образования остатков) и новой операции (операции разбиения дизъюнкта), что позволяет обеспечить полноту метода относительно решаемой им задачи и значительно сократить общее время сопоставления моделей исследуемого алгоритма и спецификации.

2. Разработана архитектура машины логического вывода, реализующая метод логического вывода делением дизъюнктов на основе определяющего элемента и отличающаяся использованием потоковой модели вычислений, наличием многоуровневой иерархической системы команд, поддержкой параллельной обработки данных, ряда эвристических механизмов и платформонезависимых оптимизаций, что позволяет сократить время получения ответа при выполнении вывода.

3. Разработан алгоритм формирования базы знаний на основе структуры Крипке и формулы темпоральной логики, отличающийся использованием специальной таблицы, содержащей правила замены лексем формулы соответствующими предикатами и выражениями, определяющими их значение, что позволяет свести задачу сопоставления модели объекта проверки и требований к нему к логической задаче формальной верификации, а также обрабатывать формулы различных модификаций темпоральной логики.

4. Разработан метод построения оптимизированного дерева грамматического разбора формулы темпоральной логики линейного времени, отличительной чертой которого является применение к вершинам дерева специальной процедуры, позволяющей получить оптимальную, с точки зрения дальнейшего процесса верификации, структуру.

Практическая ценность исследования состоит в следующем.

1. Разработана программная реализация машины логического вывода, позволяющая решать логическую задачу формальной верификации и осуществлять сбор статистических сведений о ходе процесса вывода и изменении состояния узлов машины.

2. Разработана структура комплекса для формальной верификации параллельных алгоритмов с помощью техники проверки моделей и методов логического вывода, базирующаяся на введенном аппарате и поддерживающая все этапы верификации.

3. Разработаны рекомендации по выбору архитектурно-структурных решений машины логического вывода (размерности служебных структур, размерности полей форматов данных и сообщений, оптимальное число исполнительных процессоров и т.д.) в зависимости от особенностей модели объекта верификации и спецификации.

На защиту выносятся следующие результаты.

1. Метод логического вывода делением дизъюнктов на основе определяющего элемента в логике предикатов первого порядка.

2. Архитектура машины логического вывода, реализующей метод логического вывода делением дизъюнктов на основе определяющего элемента в логике предикатов первого порядка.

3. Алгоритм формирования базы знаний на основе структуры Крипке и формулы темпоральной логики.

4. Программная реализация машины, способная выполнять логический вывод, а также осуществлять сбор статистических сведений о ходе процесса вывода и изменении состояния узлов машины.

Внедрение результатов исследования. Полученные теоретические и практические результаты использованы в НИР «Разработка эффективной методики верификации параллельных алгоритмов и программ с использованием методов логического вывода» (стипендия Совета по грантам Президента Российской Федерации, проект СП-1891.2013.5), в НИОКР «Разработка программного комплекса для верификации параллельных алгоритмов» (грант Фонда содействия развитию малых форм

предприятий в научно-технической сфере, проект №/17248), в НИР «Разработка интеллектуальной системы обработки знаний на базе специализированного СБИС-процессора с data-flow архитектурой» (МОН РФ, ВятГУ, №01201270376). Полученные в диссертационной работе теоретические и практические результаты используются в рамках курсов «Технология разработки программного обеспечения» и «Интеллектуальные системы». Значимость практических результатов также подтверждается наличием актов о внедрении.

Апробация работы. Основные результаты исследования докладывались и обсуждались на XIV национальной конференции по искусственному интеллекту с международным участием (Казань, КИИ-2014), Международной научной конференции МНСК (Новосибирск, 2011-2014), третьей международной научной конференции «Информационные технологии и системы» (Челябинск, ИТиС-2014), Всероссийской ежегодной конференции «Общество, наука, инновации» (Киров, 2011-14). Проект «Программный комплекс для верификации параллельных алгоритмов» был отмечен дипломом лауреата на Всероссийском конкурсе прикладных разработок и исследований в области компьютерных технологий «Компьютерный континуум: от идеи до воплощения», проводимом компанией Intel и Суперкомпьютерным консорциумом университетов России.

Публикации. Результаты исследования представлены в 20 работах (из них 11 статей, 6 тезисов докладов). Пять работ опубликовано в научных изданиях, рекомендованных ВАК. Получен патент на полезную модель и 4 свидетельства о государственной регистрации программ для ЭВМ.

Личный вклад. Все научные результаты, приведенные в диссертационной работе и сформулированные в положениях, выносимых на защиту, получены автором лично. В работах, опубликованных в соавторстве с научным руководителем, последнему принадлежит формулировка концепции решаемой проблемы и постановка цели исследования. Основной объем работ по написанию программ, их отладке, тестированию и интерпретации результатов экспериментов выполнен автором. В работе [10] автору

принадлежит разработанная структура блока управления процессором команд, форматы сообщений и команд.

Структура и объем работы. Диссертация состоит из введения, четырех глав, заключения и библиографического списка (включающего 103 наименования). Основная часть работы изложена на 164 страницах, содержит 34 рисунка и 11 таблиц.

КРАТКОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении дано обоснование актуальности темы диссертационного исследования, сформулированы цели и задачи работы, ее научная новизна и практическая значимость, представлены положения, выносимые на защиту.

В первой главе рассматриваются современные подходы к верификации алгоритмов и программ. Особое внимание уделяется методам формальной верификации.

Наибольший интерес для широкого применения представляют методы верификации на основе техники проверки моделей, используемые для сопоставления исполняемой модели объекта и логико-алгебраической модели требований. Отличительной чертой таких методов является возможность практически полной автоматизации процесса верификации, однако при этом значительно возрастает объем требуемых вычислений.

Также в первой главе рассматриваются современные инструментальные системы (ИС) формальной верификации. На основе результатов анализа принципов их работы делается вывод о целесообразности применения математического аппарата теории логического вывода для доказательства корректности алгоритмов с помощью техники проверки моделей. Преимуществами предлагаемого подхода являются высокий параллелизм выбранного аппарата и возможность применения широкого спектра эвристик. Данные факторы могут быть использованы для сокращения временных затрат на верификацию. Для представления модели алгоритма выбирается структура Крипке. Для спецификации требований предлагается использовать формулы темпоральной логики линейного времени (LTL).

Приводится классификация методов логического вывода по форме представления знаний, используемым законам логики, принципам вывода, направлению, стратегии и тактике. В качестве базового метода выбирается один из самых производительных и удобных для параллельной реализации метод логического вывода делением дизъюнктов в логике предикатов первого порядка.

Данный метод основан на операции деления дизъюнктов. Результат от деления дизъюнкта D на дизъюнкт d определяется как дизъюнкт-остаток b , состоящий из такого множества литералов, что $\exists \lambda: \tilde{b} \subset \lambda \cdot \tilde{D}$ и $\lambda \cdot \tilde{D} \setminus \tilde{b} = \lambda \cdot \tilde{d}'$, $\tilde{d}' \subseteq \tilde{d}$, где $\lambda \cdot \tilde{X}$ – операция применения унифицирующей подстановки λ к литералам дизъюнкта X . Операция деления дизъюнктов позволяет свести задачу проверки выводимости утверждения d из секвенций $D_i (i=1..n)$ к задаче проверки выводимости набора утверждений $d'_j (j=1..m)$, полученных

в результате применения к конъюнкции остатков $\bigwedge_{k=1}^l b_k$, $\forall k: \exists i, \lambda: \lambda \cdot \tilde{D}_i \setminus \lambda \cdot \tilde{d} = \tilde{b}_k$ правил разъединения-соединения и переноса.

Во второй главе рассматривается разработанный *алгоритм формирования базы знаний на основе структуры Крипке и формулы темпоральной логики*. Полученные в результате применения алгоритма утверждения в логике предикатов первого порядка описывают объект верификации и предъявляемые к нему требования. Отличительной чертой алгоритма является использование таблицы, содержащей правила сопоставления вершинам дерева грамматического разбора (ДГР) формулы предикатов и выражений, определяющих их значения для конкретных состояний модели. Разработана таблица правил для логики линейного времени.

Приводится следующая постановка логической задачи формальной верификации. Требуется установить выводимость утверждения $1 \rightarrow \neg P(s_0)$ (отрицание предиката, сопоставленного корневой вершине ДГР для начального состояния модели) из содержащихся в базе знаний KB посылок. База знаний может быть

представлена как объединение посылок из двух множеств $KB = KB_f \cup KB_r$, $KB_f \cap KB_r = \emptyset$. Здесь KB_f – множество фактов, описывающих свойства модели исследуемого объекта, а KB_r – множество правил, соответствующих предъявляемым к объекту требованиям. Факты являются однолитеральными секвенциями вида $1 \rightarrow A(a_1, \dots, a_{|A|})$, где A – некоторая предикатная константа, возможно, с символом отрицания. Правила имеют форму $1 \rightarrow \bigvee_{i=1}^m A_i(a_{i,1}, \dots, a_{i,|A_i|})$.

При этом все предикатные константы совпадают с одним из имен *Parent*, *Event*, *Path*, *End*, *Itself*, P , P_1 , P_2 , ..., P_p . Область допустимых значений аргументов всех предикатов, за исключением *Event*, ограничена элементами множества состояний модели. Первый из аргументов двуместного предиката *Event* принимает значения из множества состояний модели, второй – из множества атомарных предикатов.

Описывается разработанный для наиболее эффективного решения сформулированной задачи метод вывода – *метод логического вывода делением дизъюнктов на основе определяющего элемента* (МВОЭ). Метод базируется на классическом методе логического вывода делением дизъюнктов и отличается от него введением нового типа литералов («определяющие» элементы), появлением новой процедуры (процедура ограниченного образования остатков) и новой операции (операция разбиения дизъюнкта).

Под определяющим элементом понимается один из литералов каждого утверждения KB , отобранный по специальной процедуре. Использование определяющего элемента позволяет жестким образом задавать для каждого утверждения тот литерал, выводимость которого в большей степени целесообразно доказывать через это утверждение. Учет этой особенности препятствует чрезмерному разрастанию дерева логического вывода.

Операция разбиения дизъюнкта определяется следующим образом. Пусть при делении множества дизъюнктов исходных правил на дизъюнкт выводимой секвенции d для нескольких

литералов $\tilde{d}' \subseteq \tilde{d}$ во время выполнения процедур ограниченного образования остатков была зафиксирована конфликтная ситуация. Тогда процесс логического вывода следует продолжить независимо для вспомогательных $|\tilde{d}'|$ однолитеральных дизъюнктов, каждый из которых представляет собой инверсию литерала из \tilde{d}' , и для дизъюнкта d'' (если он не пуст), содержащего литералы $\tilde{d} \setminus \tilde{d}'$. При этом целевой дизъюнкт d необходимо считать доказанным, если вывод дизъюнкта d'' будет завершен успешно или вывод хотя бы одного однолитерального дизъюнкта будет завершен неуспешно. В противном случае дизъюнкт d следует считать ложным. Вследствие структуры правил базы знаний, циклическое повторение разбиения исключено, и данная операция обеспечивает полноту МВОЭ относительно задачи формальной верификации.

Вводится понятие схемы процесса логического вывода и предлагается алгоритм ее конструирования по информации, полученной в ходе логического вывода. Данная структура представляет собой графическое изображение контрпримера (последовательности состояний модели, поочередное пребывание в которых приводит к нарушению спецификации). Схема позволяет локализовать место ошибки в случае ее обнаружения.

Также во второй главе описывается *разработанный метод построения оптимизированного дерева грамматического разбора формулы LTL*. Отличительной чертой метода является применение к вершинам дерева в процессе их последовательного восходящего анализа оптимизирующей процедуры. Целью преобразований является минимизация заранее определенной функции $MP(T, Z)$, где T – оптимизируемое дерево, а Z – вектор, определяющий штраф за каждое вхождение темпорального оператора. Функция представляет собой отображение структуры дерева на область вещественных чисел. Она позволяет оценить структуру дерева с точки зрения ее влияния на дальнейший процесс верификации.

Таким образом, во второй главе разработан необходимый математический аппарат для поддержки формальной верификации

параллельных алгоритмов с помощью техники проверки моделей и методов логического вывода.

В третьей главе предлагается *структура комплекса для формальной верификации алгоритмов* (рисунок 1).

Комплекс состоит из трех основных модулей. Каждый модуль предназначен для выполнения одного из этапов верификации.

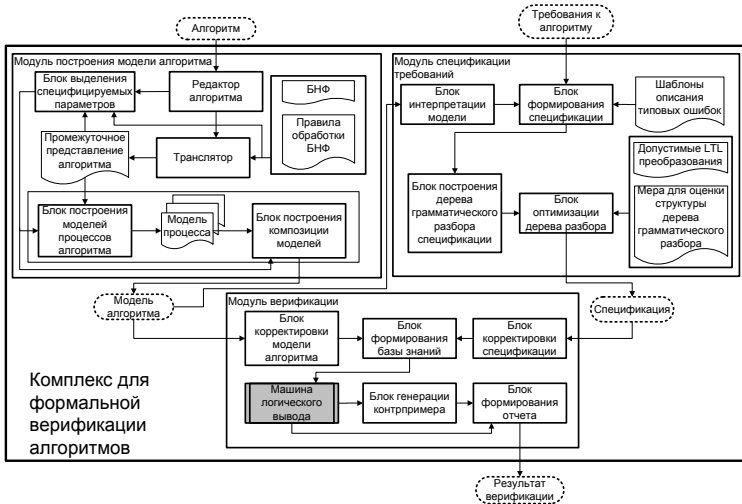


Рисунок 1 – Структура комплекса для формальной верификации алгоритмов

Модуль построения модели преобразует параллельный алгоритм, описанный с помощью упрощенного языка, в эквивалентную ему структуру Крипке. Гибкая архитектура модуля допускает изменение и расширение синтаксиса языка описания.

Модуль спецификации позволяет выразить предъявляемые к объекту верификации требования в виде формулы LTL. В качестве элементов формулы используются атомарные предикаты структуры Крипке. Для упрощения описания типовых ошибок доступны шаблонные выражения. Кроме того, в модуле выполняется построение оптимизированного ДГР спецификации.

Модуль верификации устанавливает соответствие модели исследуемого алгоритма спецификации. Для этого на основе структуры Крипке и ДГР LTL-формулы, полученных в результате

работы предыдущих модулей, формируется база знаний. Затем, с помощью машины логического вывода (МЛВ), реализующей МВОЭ, решается задача формальной верификации. Успешное завершение вывода означает существование трассы, приводящей к нарушению требований. Тогда, по информации, полученной в ходе работы МЛВ, выполняется построения схемы процесса логического вывода. Неуспешное завершение вывода означает соответствие объекта верификации предъявляемым требованиям.

Комплекс может быть реализован программно или программно-аппаратно. Ввиду того, что наибольший объем вычислений осуществляется на последнем этапе верификации, целесообразной представляется программно-аппаратная или полностью аппаратная реализация МЛВ. Для этого необходимо разработать архитектуру, соответствующей специализированной машины.

Предварительно разрабатывается модель логико-поточковых вычислений, представляющая собой совокупность фрагментов МВОЭ и связей между ними. В модели выделяется четыре акторных примитива (процесса) соответствующих процедурам предлагаемого метода (V , N , M) и операции унификации (U). В ходе логических вычислений актер осуществляет предопределенную последовательность действий, обменивается данными со связанными актерами и, возможно, порождает группу вспомогательных процессов.

Так как связь между актерами существует только на уровне родитель-наследник, все процессы, не связанные данным отношением, могут выполняться независимо. Таким образом, модель обладает параллелизмом на уровне задач (параллельное выполнение V -актеров), правил (параллельное выполнение N - и M -актеров) и предикатов (параллельное выполнение U -актеров).

Доказательство выводимости целевого утверждения разворачивается в соответствии со стратегией «сначала вширь». Частичное управление этим процессом (выделение больших объемов вычислительных ресурсов наиболее перспективным веткам) достигается путем применения приоритетных дисциплин

обслуживания.

Модель характеризуется возможностью использования большого числа эвристик – приоритетное обслуживание акторов, реализация принципа концентрации ресурсов, поддержка стратегии частичного анализа результатов.

Также особенностью модели является применение потоковой обработки данных (dataflow) – готовность акторов к выполнению (активации) определяется только готовностью входных данных. Дополнительные синхронизирующие сигналы не используются.

Затем в третьей главе описывается разработанная *архитектура машины логического вывода*. Структурная схема машины изображена на рисунке 2.

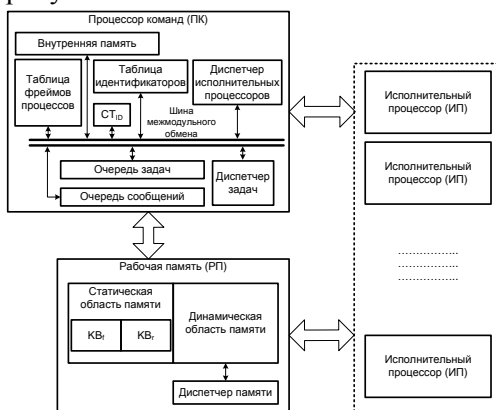


Рисунок 2 – Структурная схема машины логического вывода

В состав МЛВ входит три основных компонента: процессор команд, рабочая память и группа исполнительных процессоров.

Исполнительный процессор (ИП) предназначен для обработки процессов в соответствии с алгоритмами, предусмотренными для каждого типа акторов. ИП является основным вычислительным ресурсом МЛВ. Рабочая память (РП) предназначена для хранения базы знаний (в статической области) и промежуточных данных, генерируемых в процессе логического вывода (в динамической области). Наиболее сложной, с точки зрения организации, частью МЛВ является процессор команд (ПК), который обеспечивает и

координирует работу группы исполнительных процессоров.

Также в третьей главе описываются разработанные алгоритмы организации обработки информации, форматы данных, форматы сообщений и служебных пакетов, используемых для передачи информации между акторами. Разработана многоуровневая иерархическая система команд (уровень операторов, уровень команд и, частично, уровень инструкций), цикл работы МЛВ, подпрограммы обработки акторов.

Машина в полной мере поддерживает параллелизм, свойственный МВОЭ, а также все эвристические механизмы, заложенные в модели логического вывода. Кроме того, в машине реализовано несколько платформонезависимых оптимизаций: отложенное гашение запросов, принудительная сборка мусора, режим неполной загрузки диспетчера исполнительных процессоров, фильтрация неперспективных фактов.

Таким образом, предлагаемая в третьей главе архитектура и алгоритмы организации параллельной обработки символьных данных позволяют максимально полно реализовать заложенные в МВОЭ преимущества в производительности.

В четвертой главе приводятся аналитические оценки основных характеристик МЛВ: временной, обменной и информационной сложностей. В лучшем случае (проход по одной ветви дерева), время выполнения логического вывода T_E^+ МЛВ с одним ИП оценивается формулой (1). В худшем случае для получения решения потребуется рассмотреть все вершины дерева логического вывода. Тогда время решения задачи T_E^- оценивается выражением (2). Среднее время решения задачи T_E расположено в интервале $[T_E^+, T_E^-]$ и, с учетом применения отсекающих эвристик, оценивается формулой (3).

$$T_E^+ = d \cdot \left(T_V + \frac{L_D \cdot \omega}{\beta} \cdot \left(T_N + \sum_{i=1}^m T_M \cdot \prod_{j=1}^i \chi_j \right) \right) \quad (1)$$

$$T_E^- = \left(\sum_{i=0}^{d-1} \zeta^i \right) \cdot \left((1 + \gamma) \cdot T_V + \frac{L_D \cdot \omega}{\beta} \cdot \left(T_N + \sum_{i=1}^m T_M \cdot \prod_{j=1}^i \chi_j \right) \right) \quad (2)$$

$$T_E = \alpha \cdot T_E^+ + (1 - \alpha) \cdot T_E^- \quad (3)$$

В формулах (1) – (3) d – средняя длина ветви дерева логического вывода, T_V – среднее время выполнения V -актора (в том числе инверсного), T_N – среднее время выполнения N -актора, T_M – среднее время выполнения M -актора, L_D – среднее число литералов в дизъюнкте, ω – среднее число базовых правил для литерала, β – коэффициент для учета частоты повторения одноименных литералов в выводимых дизъюнктах ($\beta \geq 1$), m – максимальный уровень формируемой матрицы частных производных, χ_i – среднее число остатков, получаемых при формировании матрицы ($i - 1$)-ого уровня, ζ – среднее число порождаемых V -актором V -акторов-наследников, γ – коэффициент, определяющий частоту неуспешного частичного анализа результатов ($\gamma \geq 0$), α – коэффициент, определяющий успешность применения отсекающих эвристик ($0 \leq \alpha \leq 1$).

Предлагаются аналитические формулы для сравнения производительности и эффективности различных конфигураций МЛВ.

Рассматривается разработанная *программная реализация машины логического вывода*, которая может использоваться как МЛВ в составе специализированного комплекса для формальной верификации параллельных алгоритмов. Кроме того, программа позволяет осуществлять сбор статистических сведений о ходе процесса вывода и изменении состояния узлов машины. Накопленные сведения могут быть использованы при проектировании конфигураций МЛВ, ориентированных на эффективную верификацию алгоритмов определенного класса. На рисунке 3 представлено главное окно программной реализации МЛВ после завершения логического вывода.

Также в четвертой главе рассматриваются вопросы реализации группы ИП на GPU и аппаратной реализации МЛВ. Предлагается аналитическая формула (4) для оценки прогнозируемого ускорения при аппаратной реализации МЛВ на ПЛИС в сравнении с

программной реализацией МЛВ.

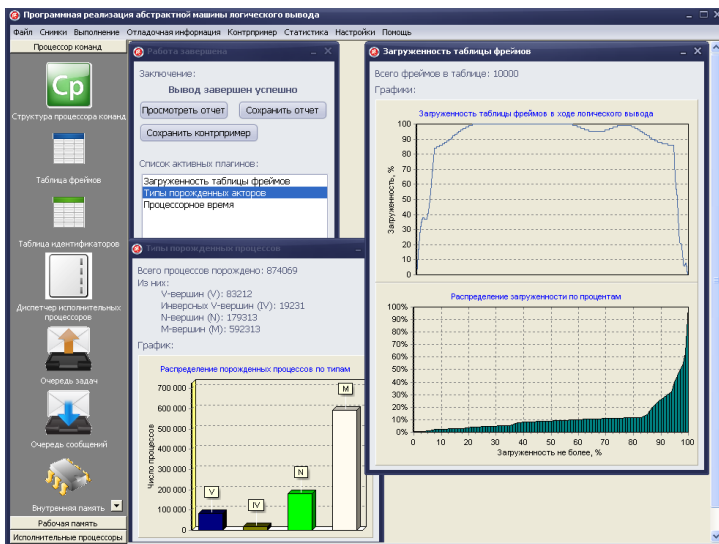


Рисунок 3 – Главное окно программной реализации МЛВ

$$S_{FPGA} = \frac{T_{UCPU} \cdot C_{EPFPGA}}{T_{UFPGA} \cdot C_{CCPU}} \quad (4)$$

Согласно формуле (4), при аппаратной реализации МЛВ на высокопроизводительной современной ПЛИС семейства Virtex-6 получаемое ускорение в сравнении с программной реализацией на многоядерной ПЭВМ общего назначения составит до $0,35 \cdot C_{EPFPGA}$, где C_{EPFPGA} – число исполнительных процессоров на ПЛИС. Например, при размещении на Virtex-6 128 ИП (максимальное рекомендуемое число процессоров в UMA-системах с наличием КЭШ-памяти) и реальной производительности в 50% от пиковой ускорение составит 22,4 раза.

Приводятся результаты экспериментальной апробации предложенного метода вывода и архитектуры МЛВ. В качестве эталона использовались примеры алгоритмов, верифицированных с помощью SPIN – одной из наиболее популярных ИС для формальной

проверки корректности. Для моделей, описанных на языке Promela, были построены эквивалентные структуры Крипке. На основе структур Крипке и формул LTL, отражающих требования к алгоритмам, были сформированы базы знаний.

Время выполнения верификации с применением различных реализаций МЛВ в сравнении с временем верификации в ИС SPIN представлено в таблице 1. Для реализаций МЛВ в скобках приведено ускорение.

Таблица 1 – Время выполнения верификации в сравнении со SPIN

Пример	SPIN, мс.	Программная реализация МЛВ на CPU, мс.	Реализация МЛВ на CPU+GPU, мс.	Реализация МЛВ на ПЛИС Virtex-6, мс.
Взаимное исключение с помощью мьютекса	31	46 (0,67)	142 (0,22)	8,2 (3,78)
Взаимное исключение с помощью дополнительных переменных	1279	1083 (1,18)	1113 (1,15)	193,4 (6,61)
Алгоритм работы сетевого генератора данных	562	84 (6,69)	279 (2,01)	15,0 (37,47)
Протокол АВР	97	121 (0,80)	183 (0,53)	21,6 (4,49)
Протокол PAR	1478	1225 (1,21)	1357 (1,09)	218,8 (6,76)
Алгоритм двухфазной фиксации	27913	24813 (1,12)	25201 (1,11)	4430,9 (6,30)
Алгоритм планирования sleep-wakeup	128	124 (1,03)	174 (0,74)	22,1 (5,79)
Г-протокол Тэйлора	24364	21650 (1,13)	23113 (1,05)	3866,1 (6,30)
Алгоритм функционирования устройства управления парогенератором	14637	13719 (1,07)	14086 (1,04)	2449,8 (5,97)
Протокол обмена данными сети Cambridge Ring	1384	1087 (1,27)	1306 (1,06)	194,1 (7,13)

Вычисления выполнялись на ЭВМ под управлением ОС Windows XP SP3, оснащенной процессором Core i3 2100 3,1 GHz, оперативной памятью DDR3 4Gb, видеокартой GeForce GTX 550 Ti, SSD-накопителем Crucial M3 128Gb. Оценка времени решения тестовых задач для аппаратной реализации МЛВ на ПЛИС Virtex-6 была получена аналитически по формуле (4) при $C_{EPFPGA} = 16$.

На основе собранных в ходе решения тестовых примеров статистических сведений предложены *рекомендации по выбору архитектурно-структурных решений машины логического вывода.*

В заключении сформулированы основные результаты диссертационной работы.

ОСНОВНЫЕ РЕЗУЛЬТАТЫ РАБОТЫ

1. Разработан специализированный метод логического вывода делением дизъюнктов на основе определяющего элемента в логике предикатов первого порядка, отличающийся от известных методов содержанием выполняемых преобразований и более высокой производительностью на выделенном классе задач. Вводится новый тип литералов – «определяющие элементы», оперирование которыми позволяет значительно сократить размерность дерева логического вывода. Вводится новая процедура (процедура ограниченного образования остатков) и новая операция (операция разбиения дизъюнкта), применение которых обеспечивает полноту метода относительно решаемого класса задач. Эти особенности, а также свойственная методу высокая степень параллелизма, возможность применения широкого спектра эвристик и отсутствие необходимости выполнения операции согласования позволяют значительно сократить время сопоставления моделей.

2. Разработана архитектура машины логического вывода, реализующей метод логического вывода делением дизъюнктов на основе определяющего элемента. Отличительными чертами машины являются использование потоковой модели вычислений, наличие многоуровневой иерархической системы команд, приоритетное обслуживание процессов, применение стратегии частичного анализа результатов. Машина в полной мере поддерживает свойственный методу параллелизм, заложенные в нем эвристические механизмы, а также реализует ряд платформонезависимых оптимизаций. При этом аппаратная реализация машины позволит сократить время сопоставления до 20-25 раз в сравнении с программной реализацией.

3. Разработан алгоритм формирования базы знаний на основе структуры Крипке и формулы темпоральной логики, отличающийся использованием специальной таблицы, содержащей правила сопоставления элементам формулы соответствующих предикатов и выражений, определяющих их значение. Для обработки формулы

заданной модификации темпоральной логики используется конкретный набор правил. Применение алгоритма позволяет свести задачу сопоставления модели объекта проверки и требований к логической задаче формальной верификации.

4. Разработан метод построения оптимизированного дерева грамматического разбора формулы темпоральной логики линейного времени. Отличительной чертой метода является итерационное применение к вершинам дерева в ходе их восходящего анализа специальной процедуры, изменяющей поддерево, корнем которого является анализируемая вершина. Метод позволяет получить оптимальную с точки зрения дальнейшего процесса верификации структуру, что в некоторых случаях способствует сокращению числа шагов логического вывода на 10-15%.

5. Разработана программная реализация машины логического вывода, позволяющая решать логическую задачу формальной верификации и осуществлять сбор статистических сведений о ходе процесса вывода и изменении состояния узлов машины. Данные сведения могут быть использованы при проектировании аппаратных реализаций МЛВ, ориентированных на эффективную верификацию алгоритмов определенного класса.

6. Разработана структура комплекса для формальной верификации параллельных алгоритмов с помощью техники проверки моделей и методов логического вывода, базирующаяся на введенном аппарате и поддерживающая все этапы верификации.

7. Разработан ряд рекомендаций по выбору архитектурно-структурных решений машины логического вывода (размерности служебных структур, размерности полей форматов данных и сообщений, оптимальное число исполнительных процессоров и т.д.).

СПИСОК ПУБЛИКАЦИЙ ПО ТЕМЕ ДИССЕРТАЦИИ

В списке представлены наиболее значимые работы.

Публикации в изданиях, рекомендованных ВАК

1. Чистяков, Г. А. Формирование контрпримера при верификации алгоритмов с помощью методов логического вывода / Г. А. Чистяков // Вестник Астраханского государственного технического университета. Серия: управление, вычислительная техника и информатика. – № 3. – 2014. – Астрахань. – С. 50–57.

2. Чистяков, Г. А. Схема потока логических вычислений для графического представления метода вывода на базе операции деления дизъюнктов / Г.А. Чистяков, М.Л. Долженкова, В.Ю. Мельцов // Научно-технический вестник Поволжья. – № 6. – 2014. – Казань. – С. 140–143.

3. Чистяков, Г. А. Формирование базы знаний на основе структуры Крипке и формул темпоральной логики / Г.А. Чистяков, В.Ю. Мельцов // Фундаментальные исследования. – № 8-4. – 2013. – Пенза. – С. 847–852.

4. Чистяков, Г. А. Эффективный метод построения оптимизированного дерева грамматического разбора формул темпоральной логики линейного времени / Г.А. Чистяков, В.Ю. Мельцов // Вестник Тамбовского государственного технического университета. – № 4. – 2012. – Тамбов. – С. 813–820.

5. Чистяков, Г.А. Разработка модуля построения структуры Крипке для системы верификации параллельных алгоритмов / Г.А. Чистяков, В.Ю. Мельцов // Научно-технический вестник Поволжья. – № 6. – 2011. – Казань. – С. 217–220.

Публикации в прочих изданиях

6. Чистяков, Г.А. Метод ускоренного логического вывода для решения задачи формальной верификации / Г.А. Чистяков, В.Ю. Мельцов // Четырнадцатая национальная конференция по искусственному интеллекту с международным участием (КИИ-2014): сборник материалов конференции. – Казань: Изд-во «РИЦ», 2014. – Том 1. – С. 68–76.

7. Чистяков, Г.А. Формальная верификация алгоритмов с помощью техники проверки моделей и математического аппарата теории логического вывода / Г.А. Чистяков, В.Ю. Мельцов // Третья международная научная конференция «Информационные технологии и системы»: сборник материалов конференции. – Челябинск: Изд-во ЧелГУ, 2014. – С. 106–108.

8. Чистяков, Г.А. Формальная верификация параллельных алгоритмов с помощью техники проверки моделей и методов логического вывода / Г.А. Чистяков, В.Ю. Мельцов // Рукопись депонирована в ВИНТИ РАН. №358-B2013 – 29.11.2013. – 140 с.

9. Чистяков, Г.А. Архитектура специализированной абстрактной машины логического вывода / Г.А. Чистяков, В.Ю. Мельцов // Рукопись депонирована в ВИНТИ РАН. №207-B2014 – 11.07.2014. – 90 с.

Патенты и свидетельства о регистрации программ для ЭВМ

10. Мельцов, В.Ю., Чистяков, Г.А., Тарасов, А.В., Караваев, М.А. Патент на полезную модель «Процессор команд машины логического вывода», патент №144233 от 09.06.2014.

11. Чистяков, Г.А., Мельцов, В.Ю., Власюк, Е.А. Свидетельство о государственной регистрации программы для ЭВМ «Программная реализация параллельного логического вывода на многоядерном процессоре», охранный документ №2014616849 от 04.07.2014.

12. Чистяков, Г.А., Мельцов, В.Ю., Сапожникова, А.А. Свидетельство о государственной регистрации программы для ЭВМ «Программная реализация параллельного логического вывода на графическом процессоре», охранный документ №2014616950 от 08.07.2014.

13. Чистяков, Г.А., Мельцов, В.Ю. Свидетельство о государственной регистрации программы для ЭВМ «Программный анализатор формул темпоральной логики», охранный документ №2012660235 от 04.10.2012.

14. Чистяков, Г.А., Мельцов, В.Ю. Свидетельство о государственной регистрации программы для ЭВМ «Программа автоматического построения структуры Крипке для параллельного алгоритма», охранный документ №2012613587 от 20.02.2012.

Чистяков Геннадий Андреевич

Метод и машина логического вывода для
формальной верификации параллельных
алгоритмов

Специальности:

05.13.11 – Математическое и программное обеспечение
вычислительных машин, комплексов и компьютерных сетей;

05.13.15 – Вычислительные машины, комплексы и
компьютерные сети