

На правах рукописи



ЗИНКЕВИЧ Алексей Владимирович

**ИССЛЕДОВАНИЕ МЕТОДОВ И РАЗРАБОТКА УСТРОЙСТВ
ОБРАБОТКИ ИНФОРМАЦИИ В СИСТЕМАХ НА КРИСТАЛЛЕ**

Специальность 05.13.05 – Элементы и устройства вычислительной
техники и систем управления

АВТОРЕФЕРАТ
диссертации на соискание ученой степени
кандидата технических наук

Санкт-Петербург - 2014

Работа выполнена в федеральном государственном бюджетном образовательном учреждении высшего профессионального образования «Тихоокеанский государственный университет» на кафедре вычислительная техника

Научный руководитель:

доктор технических наук, Березин Виктор Владимирович, доцент, ведущий научный сотрудник ФГУП «Государственный НИИ прикладных проблем»

Официальные оппоненты:

доктор технических наук, Мурсаев Александр Хафизович, профессор кафедры «Вычислительная техника» Федерального государственного бюджетного образовательного учреждения высшего профессионального образования «Санкт-Петербургский государственный электротехнический университет им. В.И. Ульянова (Ленина)»

кандидат технических наук, Можейко Владимир Иванович, доцент, начальник сектора ОАО «Корпорация «Комета» - «НПЦ ОЭКН»

Ведущая организация:

Государственный научный центр Российской Федерации Федеральное государственное автономное научное учреждение "Центральный научно-исследовательский и опытно-конструкторский институт робототехники и технической кибернетики"

Защита состоится 25 июня 2014 года в 15.00 часов на заседании диссертационного совета Д212.238.02 Санкт-Петербургского государственного электротехнического университета «ЛЭТИ» им. В. И. Ульянова (Ленина) по адресу: 197376, г. Санкт-Петербург, ул. Профессора Попова, д. 5.

С диссертацией можно ознакомиться в библиотеке СПбГЭТУ.

Автореферат разослан 24 апреля 2014 года.

Учёный секретарь

Диссертационного совета Д212.238.02

к. т. н., доцент

Сафьянников Н. М.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Развитие современных электронных систем управления, сбора и обработки данных, их постоянно растущие сложность и ресурсоемкость, а также необходимость сокращения сроков разработки требуют создания новых классов функционально сложных изделий микроэлектроники и внедрения совершенно новых технологических принципов разработки микроэлектронных устройств. При этом сокращение временных затрат на изготовление, верификацию и вывод изделия на рынок не должно влиять на качество разрабатываемых интегральных схем и их надежность.

Принципиально новой стала методология проектирования СБИС класса «система на кристалле» (СнК), допускающая многократное использование готовых, предварительно протестированных сложнофункциональных блоков (СФ). В отличие от интегральных схем (ИС), СнК это комплекс, в состав которого входят как аппаратная часть – чип, так и программная часть – встраиваемое программное обеспечение. Наличие аппаратных и программных (на базе софт-процессоров) реализаций, которые могут взаимодействовать между собой, позволяет создавать достаточно гибкие системы. В качестве технологической платформы для реализации цифровых СнК могут использоваться программируемые логические интегральные схемы (ПЛИС), позволяющие оперативно модифицировать систему. В 2011 г. одна из крупнейших компаний производителей ПЛИС фирма ALTERA в сотрудничестве с известными ARM и Intel назвала переход от специализированных заказных ИС к СнК на базе ПЛИС новым этапом развития микроэлектронной техники. При этом одним из ключевых вопросов стала задача повышения эффективности использования ресурсов и обеспечения требуемого быстродействия.

Научно-исследовательские работы в области БИС/СБИС, программируемой логики и СнК принадлежат как отечественным (Немудров В.Г., Грушвицкий Р.И., Мурсаев А.Х., Бухтеев А.В., Угрюмов Е.П., Адамов Ю.Ф., Палташев Т.Т., Шалыто А.А., Шейнин Ю.Е. и др.), так и зарубежным (S.S. Bhattacharyya, S. Saha, E. Lee, W. Wolf, S. J. Wei и др.) ученым.

На одном из этапов системного проектирования СнК должна решаться главнейшая проблема – декомпозиция на аппаратную и программную части существующих алгоритмов цифровой обработки. Отсутствие к настоящему времени единых подходов для решения этой проблемы, делает задачу разделения весьма актуальной.

Представленная диссертационная работа является самостоятельно выполненной, законченной научно-исследовательской работой, посвященной устройствам обработки информации в СнК. Предложенные в работе методики и алгоритмы способствуют созданию быстродействующих систем, отличающихся минимальными габаритами.

Объектом исследования диссертационной работы являются программные и аппаратные блоки двумерного вейвлет-преобразования, реализованные в виде СБИС класса «система на кристалле».

Предметом исследования являются методы, алгоритмы и методики сопряженного проектирования аппаратных и программных средств как задачи линейного программирования в гетерогенных телевизионно-компьютерных системах на кристалле.

Цель работы и задачи исследования

Целью диссертации является повышение качества при проектировании СБИС класса «система на кристалле», в том числе разработка методов, алгоритмов и СФ блоков с учетом решения задачи декомпозиции для условий массогабаритных и коммутационных ограничений.

Достижение поставленной цели обеспечивается постановкой и решением в диссертационной работе следующих задач:

1. Исследование и разработка методики сопряженного синтеза аппаратного и программного обеспечения сложно-функциональных блоков вейвлет-кодирования изображений для устройств класса «система на кристалле».

2. Исследование и разработка эффективных методов использования и расширения функциональных возможностей подсистемы памяти при реализации устройств вейвлет-кодирования изображений.

3. Совершенствование механизмов и алгоритмов многоуровневой обработки прерываний в системах на кристалле.

4. Разработка методики распределения программного кода в многоуровневой подсистеме памяти.

5. Экспериментальная проверка разработанных методов, алгоритмов и методик в практике проектирования устройств обработки изображений для устройств класса «система на кристалле».

Методы исследования

На пути решения поставленных задач имеются определенные трудности, которые разделяются на три группы в соответствии с методами их преодоления:

1. Теоретические методы, в первую очередь аппарат теории графов, теория вычислительных устройств, задача линейного программирования и NP-полная задача, а также генерация специальных способов обработки информации, основанных на выборе процедур, параметров сигналов и структуры системы.

2. Методы разработки, основанные на широком применении языков (Verilog HDL, VHDL, C) и систем автоматизированного проектирования (САПР), призванные сократить время создания системы на кристалле.

3. Экспериментальные методы, призванные подтвердить полезность и реализуемость решений, полученных методами, относящимися к первым двум группам.

Основные положения, выносимые на защиту

1. Математическая модель распределения аппаратно-программных частей системы на кристалле, основанная на выделении вариантов реализации на следующих ступенях представления: алгоритм, преобразование, ресурсы.

2. Разработанная методика решения задачи декомпозиции системы на аппаратную и программную составляющие, базирующаяся на применении модифицированной задачи о ранце с мультивыбором (Multiple-choice Knapsack Problem).

3. Разработанная методика использования последовательной флеш памяти в качестве памяти программ для встроенного микропроцессора.

4. Модифицированный алгоритм программного поиска возникшего прерывания, позволяющий уменьшить время реакции на прерывание для встроенного микропроцессора.

5. Рациональное распределение программного кода между различными типами памяти в составе системы на кристалле.

Научная новизна диссертационной работы состоит в том, что:

1. Применение разработанной методики сопряженного синтеза аппаратного и программного обеспечения для двумерного вейвлет кодера изображения позволило получить новый научный результат – зависимость необходимых ресурсов СнК от времени преобразования для различных сочетаний программной и аппаратной составляющих.

2. Показано, что сложность при декомпозиции системы на аппаратную и программную составляющие определяется количеством возможных вариантов реализаций отдельных задач.

3. Предложен и разработан сложно-функциональный блок управления последовательной памятью, позволяющий расширить ее функции в системе на кристалле.

4. Предложен модифицированный алгоритм, позволяющий на основе программного поиска источника прерывания сократить время реакции системы на кристалле на обслуживание запросов прерывания.

Практическая значимость диссертации состоит в том, что:

1. Методика совместного аппаратно-программного разделения при проектировании в системах на кристалле позволяет оптимизировать используемые ресурсы и распределить их в соответствии с требуемыми ограничениями.

2. Использование последовательной флеш памяти в качестве памяти программ позволяет сократить коммуникационные и энергетические издержки за счет отсутствия дополнительной внешней памяти.

3. В условиях ограниченности ресурсов СнК выбор контроллера обработки прерываний, а также процедур повышения его быстродействия позволяет определить доступные ресурсы.

4. Рациональное распределение программного кода в подсистеме памяти ПЛИС позволяет минимизировать массогабаритные показатели

системы обработки изображения на базе специализированного кодера изображения.

Реализация и внедрение результатов исследования

Полученные результаты используются в деятельности ООО "Дальневосточный специализированный центр безопасности информации "МАСКОМ" (г. Хабаровск) при разработке и проектировании аудиовизуальных систем обеспечения безопасности.

Результаты работы используются в ХИИК ФГОБУ ВПО СибГУТИ (г. Хабаровск) при изучении дисциплин «Цифровые устройства и спецпроцессоры» и «Цифровая обработка сигналов», в курсовом и дипломном проектировании студентов факультета «Инфокоммуникации и системы связи».

Результаты работы использовались в ОКР «Оптрон-1», выполненной в 2011-2013 гг. ОАО «Научно-исследовательский институт телевидения» по заказу Минпромторга России.

Апробация работы

Основные положения и отдельные результаты работы докладывались и обсуждались на:

- Межрегиональной научно-практической конференции «Информационные и коммуникационные технологии в образовании и научной деятельности» (Хабаровск, 2008 г.);

- Конференции-конкурсе научных работ молодых ученых ТОГУ (Хабаровск, 2009 г.);

- Одиннадцатом краевом конкурсе-конференции молодых ученых и аспирантов (Хабаровск, 2009 г.);

- Всероссийской конференции с элементами научной школы для молодежи «Проведение научных исследований в области обработки, хранения, передачи и защиты информации» (Ульяновск, 2009 г.);

- 8-й Международной конференции «Телевидение: передача и обработка изображений» (Санкт-Петербург, 2011 г.);

а также на научно-технических семинарах кафедры «Вычислительная техника» ТОГУ.

Публикации

Основные результаты диссертационной работы опубликованы в 10 научных работах, в том числе 3 работы - в изданиях, рекомендованных ВАК к опубликованию основных научных результатов диссертаций на соискание учёных степеней доктора и кандидата наук, 5 работ в трудах конференций иных научных изданиях. Получены 2 свидетельства о государственной регистрации программы для ЭВМ.

Структура диссертации

Диссертация общим объемом 150 с. состоит из введения, четырех глав и заключения, содержит 137 с. основного текста, перечень используемой литературы из 77 наименований на 9 с.

СОДЕРЖАНИЕ РАБОТЫ

Во введении обосновывается актуальность темы, формулируются цель и задачи работы, научная новизна и практическая ценность полученных результатов, приводятся структура диссертации и основные положения, выносимые на защиту.

В первой главе проводится анализ проблем совместного (сопряженного) проектирования аппаратного и программного обеспечения в системах на кристалле и пути их решения. Приведены подходы к аппаратно-программному разделению задач, формализация модели потока совместного проектирования аппаратного и программного обеспечения. Указанная на рисунке 1 концептуальная кривая линия показывает обмен между различными крайностями, такими как, например, стоимость (площадь кристалла) и время выполнения, что диктует выбор сочетаний между аппаратным и/или программным решением. Такой выбор должен быть не

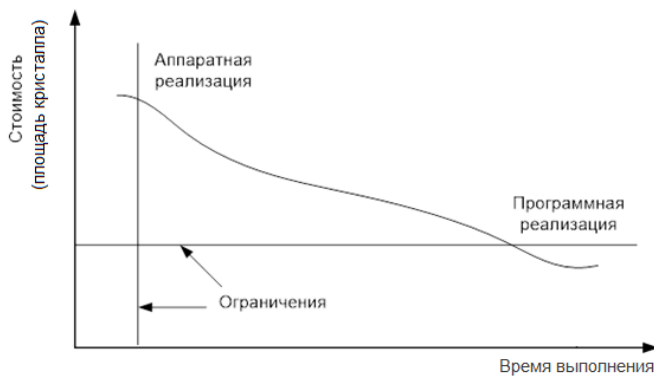


Рисунок 1 - Кривая возможных вариантов аппаратно-программного разделения проектирования.

эвристическим решением разработчика, как часто бывает на практике, а основан на точной оценке аппаратно-программного разделения. Указанные ограничительные линии в этом случае определяют пространство доступных ресурсов (площади кристалла и времени выполнения) для

Акцент на совместном синтезе распределенной архитектуры и аппаратно-программном разделении существует уже около десятка лет. Однако, из-за большого количества возможных вариантов решения, единого алгоритма не существует до сих пор. При этом, для решения подобных задач распределения сформировались два различных подхода (Рисунок 2): оптимальный и эвристический.

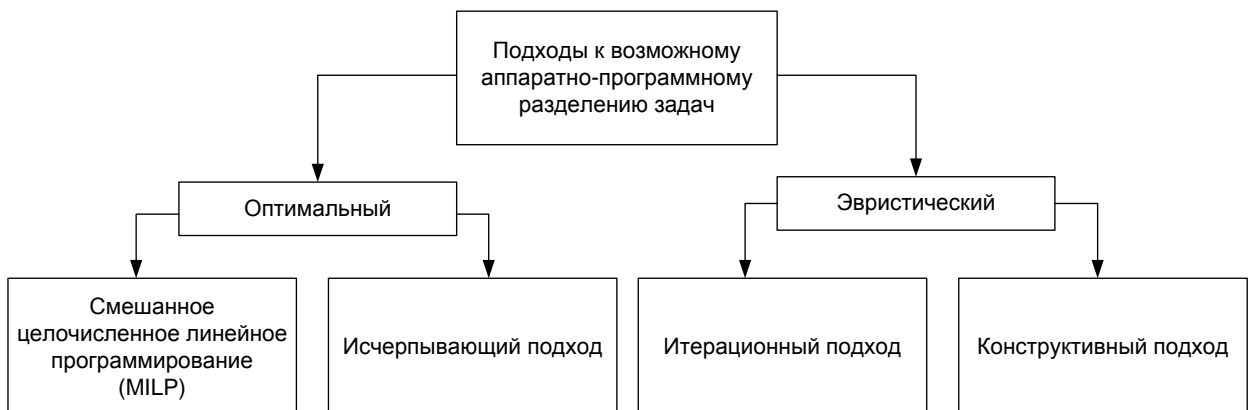


Рисунок 2 – Подходы к аппаратно-программному разделению задач

Во второй главе рассмотрена разработка методики декомпозиции системы на аппаратные и программные составляющие на примере дискретного вейвлет-преобразования (ДВП). Исходя из целей диссертационной работы, использование программируемых логических интегральных схем (ПЛИС) со встроенным процессором (или сетью процессоров) представляется наиболее гибким решением для проекта вейвлет-кодирования изображения, поскольку такое решение в наименьшей степени подвержено устареванию, содержит максимальное количество СФ блоков и требует минимум внешних компонентов. Тем не менее, сам факт использования встроенных процессоров в ПЛИС не снимает важный вопрос – разделения функций системы по принципу реализации на аппаратные и программные, т.е. проведение сопряженной аппаратно-программной оптимизации.

Одним из важных аспектов проектирования на системном уровне является разнообразие вариантов реализации, доступных для каждого узла. Каждый узел может содержать аппаратные и/или программные варианты реализаций. Проблема разделения состоит в том, чтобы выбрать соответствующую комбинацию этих вариантов для каждого узла. Узлы состоят из множества отдельных задач, которые могут быть решены только аппаратно, занимая при этом площадь на кристалле или программно, в виде кода для микропроцессора. Количество таких решений зависит от различных вариантов реализации задачи на следующих ступенях представления: на уровне алгоритма, на уровне преобразования и на уровне используемых ресурсов. Каждый «процессорный элемент», т.е. возможное решение задачи, соответствующее аппаратной или программной реализации на различных ступенях представления, количественно определяется величиной потребляемого ресурса. Например, на уровне алгоритма, ДВП может быть вычислено традиционно, используя свертку или с применением схемы лифтинга. На уровне преобразования могут использоваться умножители, либо логические сдвигатели. На уровне ресурсов - последовательное или параллельное выполнение. Таким образом, каждый узел в описании уровня задачи может быть осуществлен несколькими способами и будет порождать множественные реализации. Однако независимая оптимизация каждой отдельной задачи не всегда будет давать оптимальное решение в рамках узла (или всей системы).

Разработанная методика распределения проектирования на аппаратную и программную составляющие концептуально базируется на применении известной задачи линейного программирования – задача о ранце с мультивыбором (Multiple-choice Knapsack Problem). Техническим языком эту задачу применительно к рассматриваемому случаю декомпозиции аппаратного и программного обеспечения можно сформулировать следующим образом. Имеется множество устройств, соответствующих определенным подмножествам (группам) по классам обработки. Классы обработки рассматриваются в первом приближении как программные или аппаратные. Устройства в свою очередь соответствуют узловым точкам

(вершинам) графа решения задачи. Имеется общее ресурсное ограничение, в качестве которого в первом приближении может выступать площадь кристалла. Требуется выбрать такой набор устройств, чтобы в нем присутствовал представитель каждой группы, выдвинутые требования по производительности обработки удовлетворялись бы наилучшим возможным образом, а их сумма не превышала бы доступной площади кристалла. Такая задача представляет собой вариант блочной задачи о рюкзаке:

$$\max \sum_{i=1}^m \sum_{j=1}^{q_i} c_{ij} x_{ij}, \quad \text{так что} \quad \sum_{i=1}^m \sum_{j=1}^{q_i} a_{ij} x_{ij} \leq P$$

$$\sum_{j=1}^{q_i} a_{ij} \leq 1, i = 1, \dots, m \quad x_{ij} \in \{0,1\}, i = 1, \dots, m, j = 1, \dots, q_i$$

Методика предложенного подхода совместного аппаратно-программного синтеза основана на библиотеке процессорных элементов (PE - processing elements) с имеющимися данными о параметрах выполняемой на нем задачи (т.е. занимаемыми ресурсами), в частности это время выполнения и занимаемая площадь на кристалле. В свою очередь, производительность PE и занимаемая им область будет зависеть от параметров СнК, таких как количество логических элементов, объем внутрикристалльной памяти, количество выводов и т.д. Тогда данные о времени выполнения задачи t_i на PE_j можно представить массивом $\{\alpha_{i1}, \alpha_{i2}, \dots, \alpha_{ij}\}$, где α_{ij} указывает время выполнения задачи, а данные о занимаемой площади на кристалле массивом $\{s_{i1}, s_{i2}, \dots, s_{ij}\}$, где s_{ij} указывает занимаемую площадь отдельной задачи.

Для примера реализации, в качестве аппаратно-программной платформы, выбрана ПЛИС/FPGA фирмы Altera - CycloneIII EP3C16F484C6N. Оценка занимаемой памяти, производительности и необходимых величин проводится при помощи САПР Quartus II. После определения времени выполнения и занимаемой площади каждой задачи необходимо выполнить поиск возможных распределений задач на PE_i с дальнейшим выбором тех вариантов, которые будут удовлетворять требуемым ограничениям. Количество возможных вариантов распределений зависит от количества задач и количества возможных вариантов их реализации, т.е. от количества различных PE. Стоимость результирующей функции в пределах всех N задач, выполняемых на одном PE можно определить как:

$$C_{ii} = \sum_{i=1}^N a_{ii} \cdot x_{0,i},$$

где a_{ii} - значение рассматриваемого параметра задачи на текущем PE,
 $x_{0,i}$ - наличие или отсутствие выполняемой задачи на текущем PE.

Стоимость результирующей функции в пределах всех N задач, выполняемых на всех J различных PE можно определить как:

$$C_{PE} = \sum_{j=1}^J \sum_{i=1}^N a_{ji} \cdot x_{0,i}.$$

Для случая, когда имеется 2 различных РЕ выполняющих одинаковое количество задач, равное 6, процесс сводится к нахождению всех возможных вариантов распределения, например:

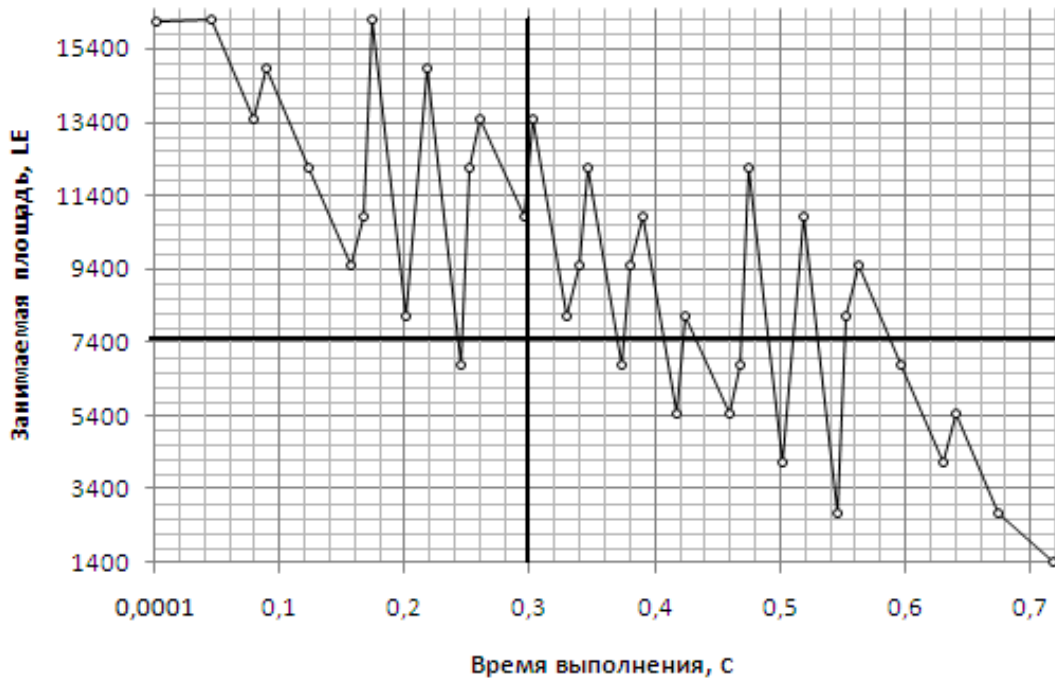
- 1) А1 выполняем на РЕ1, А2, В1, В2, С1, С2 выполняем на РЕ2;
 - 2) А2 выполняем на РЕ1, А1, В1, В2, С1, С2 выполняем на РЕ2;
 - 3) А1, А2 выполняем на РЕ1, В1, В2, С1, С2 выполняем на РЕ2;
- и т.д.

Представив задачи, выполняемые на одном РЕ в виде двоичного числа и принимая, что «1» соответствует выполнению задачи на текущем РЕ, а «0» соответствует выполнению на другом РЕ, можно определить количество возможных комбинаций в пределах одного РЕ как 2^n , где n – количество задач, выполняемых на одном РЕ.

Определим единицы измерения сложности реализации в базисе ПЛИС для схем различных архитектур. ПЛИС/FPGA изготовлены по КМОП-технологии статических оперативных запоминающих устройств. Она может быть многократно перепрограммирована путем динамической перезагрузки информации о конфигурации. Также она является однородной вычислительной структурой, элементы которой – конфигурируемые логические блоки (КЛБ) – реализуют булевы функции. Занимаемая площадь на кристалле каждого КЛБ определена по числу элементарных логических элементов (LE), реализующих произвольную булеву функцию. ПЛИС включает в себя три главных программируемых элемента, конфигурация которых определяется разработчиком при проектировании устройств: блоки ввода/вывода, КЛБ и межсоединения. КЛБ предназначены для выполнения логических функций от нескольких переменных, при этом они определяются как логические ресурсы ПЛИС, которые служат единицами для измерения емкостной сложности реализации проектируемых устройств.

После определения времени выполнения (x_1) и занимаемой площади (x_2) каждой задачи необходимо выполнить поиск возможных распределений задач на РЕ с дальнейшим выбором тех вариантов, которые будут удовлетворять требуемым ограничениям. Такой поиск производится перебором всех возможных комбинаций для времени выполнения и занимаемой площади. На рисунке 3 приведена графическая зависимость занимаемой площади от времени выполнения комбинации из 6 задач для двух РЕ, где полностью аппаратной реализации соответствует крайняя левая точка, а полностью программной – крайняя правая. Т.е. крайняя левая точка на рисунке 3 соответствует выполнению всех 6 задач в виде полностью аппаратной реализации (выполняется только на аппаратном РЕ) и выполняется за минимальное время, а крайняя правая точка графика – полностью программной (выполняется только на программном РЕ) и занимает минимальную площадь на кристалле.

По значению номера полученной комбинации можно определить соответствующее аппаратно-программное разделение как (значение номера комбинации - 1) по основанию «2», с учетом того, что разряды соответствуют задачам C2C1B2B1A2A1 соответственно.



полиномиальное время и является сложной в вычислительном отношении. Как правило, из-за большого объема вычислений, такие задачи решаются эвристическими методами.

В случае наличия множества точек в области допустимых решений, для поиска компромисса при распределении аппаратных и программных ресурсов, учета взаимобмена времени выполнения алгоритма и требуемого количества логических элементов, используется функционал:

$$P = c_0x_0 + c_1x_1 \rightarrow \min,$$

где c_0 и c_1 есть весовые коэффициенты времени выполнения и количества логических элементов соответственно.

Таким образом, для определения значения компромисса из множества допустимых решений, необходимо задать вектор весовых коэффициентов $\{c_i\}$, который и обеспечит выбор оптимального варианта решения из области допустимых.

В третьей главе рассматривается использование памяти при проектировании систем на кристалле. Внутрикристалльная сверхоперативная память (on-chip memory) является ограниченным, разделяемым ресурсом для реализации аппаратной и программной частей на одном кристалле, поэтому ее использование должно быть тщательно спланировано на начальных этапах сопряженного проектирования. В диссертации рассматриваются системы на кристалле, работа которых основана на шинной архитектуре Altera Avalon. Она является синхронной шинной архитектурой связи, предназначенной для разработки систем на ПЛИС фирмы Altera.

ПЛИС может быть многократно перепрограммирована путем динамической перезагрузки информации о конфигурации из внешней энергонезависимой флеш памяти. При этом стремление разработчиков минимизировать габариты и энергопотребление проектируемых устройств все чаще приводит к тому, что приходится ограничиваться минимальным количеством выводов, необходимых для ее подключения. При таком рассмотрении использование флеш памяти последовательного типа является предпочтительнее, чем параллельного. Фирмой Altera поддерживается и рекомендована загрузка с последовательного перепрограммируемого устройства (EPCS), которое содержит код для программирования внутренней структуры ПЛИС и, при необходимости, управляющий код программы для софт-процессора NIOSII. К сожалению, стандартные средства Altera не позволяют использовать свободную многоцелевую память кроме как для хранения пользовательских данных, что ограничивает ее применение.

Разработанный контроллер доступа к последовательной флеш памяти представляет собой СФ блок для применения в системах на кристалле фирмы Altera. Составляющие файлы разработанного контроллера интегрируются в среду SOPC Builder из состава САПР Quartus II как СФ блок и занимают примерно 1300 строк кода VHDL. Единственное ограничение, не позволяющее применять полученный СФ блок на большинство других проектов, заключается в невысокой скорости чтения данных (около 259,7 кбайт/с). Поэтому с практической точки зрения, использование

памяти программ на базе EPCS более предпочтительно для программ, выполняющих начальную конфигурацию устройств. При этом части кода, требующие оперативного выполнения, определяются разработчиком заранее для выполнения во внутрикристалльной памяти. Для сокращения временных затрат на чтение повторяющихся команд из флеш памяти предложено использовать кэш память, основанную на внутрикристалльной памяти ПЛИС. С практической точки зрения, объем свободной многоцелевой памяти может быть определен исходя из используемой ПЛИС и типа памяти. Пример для ПЛИС/FPGA CycloneIII EP3C16 приведен в таблице 1.

Таблица 1 - Объем свободной многоцелевой флеш памяти

Используемая ПЛИС CycloneIII EP3C16	Используемая флеш память			
	EPCS4	EPCS16	EPCS64	EPCS128
Свободная многоцелевая память, кБайт	13,432	1586	7877	16266

В таблице 2 приведены сравнительные характеристики разработанного контроллера и стандартного, предоставляемого фирмой Altera.

Таблица 2 - Сравнительные характеристики стандартного и разработанного EPCS контроллера

Сравнительные характеристики	Стандартный EPCS контроллер	Разработанный EPCS контроллер
1. Занимаемое место на кристалле	Порядка 500 логических элементов (LE)	Порядка 880 логических элементов (LE)
2. Возможность работы в качестве памяти данных	Есть	Есть.
3. Возможность работы в качестве памяти программ	Нет	Есть. Свободное место определяется по таблице 1
4. Наличие кэш памяти	Нет	Есть. Повышение производительности при частом обращении.
5. Поддержка различных семейств Cyclone II, III	Есть	Есть

Корректность разработанного аппаратно-программного обеспечения проверена тестированием на следующих платформах:

- 1) отладочная плата DE2-70 на базе ПЛИС CycloneII;
- 2) отладочная плата CoreCommander на базе ПЛИС CycloneIII.

Четвертая глава посвящена экспериментальным исследованиям и реализации аппаратно-программных устройств на базе СБИС класса система на кристалле.

Проведено исследование времени реакции на прерывание системы на кристалле с софт-процессором NIOSII. Определены возможности софт-процессора NIOSII в процессе обработки прерываний в зависимости от его

конфигурации, проведена оценка занимаемых ресурсов ПЛИС, а также разработаны алгоритмы повышения производительности.

Софт-процессор NIOSII поддерживает два возможных способа поиска возникшего прерывания, используя внутренний программный или внешний аппаратный контроллер (vectored interrupt controller - VIC). Немаловажным условием выбора является соотношение между типом (производительностью) процессора и занимаемой памятью (ресурсами ПЛИС). При этом каждый тип процессора занимает определенное число логических элементов и ячеек памяти, которые сведены в таблицу 3 (для сравнения приведены занимаемые ресурсы с VIC).

Таблица 3 – Взаимосвязь используемых ресурсов ПЛИС и быстродействия

Сравнительные параметры для ПЛИС ALTERA	Тип процессора			
	Nios II/e	Nios II/s	Nios II/f	Nios II/f + VIC
Занимаемое количество логических элементов	600-700	1200-1400	1400-1800	~2760
Среднее время реакции на прерывание, тактов	400	108	78	35

Для сокращения используемого количества логических элементов LE и увеличения быстродействия при организации количества обрабатываемых прерываний до 5 предложено использовать внутренний контроллер прерываний, с применением модифицированного алгоритма программного поиска прерывания. Реализованный алгоритм программного поиска возникшего прерывания позволяет при неизменных аппаратных ресурсах увеличить производительность в среднем на 14%.

Разработана система управления и передачи данных между софт-процессором и специализированным декодером видеоизображения на основе рационального распределения памяти. Исходя из того, что начальная инициализация кодека сводится к записи достаточно большого количества данных в кодек, нет необходимости использовать дорогую быстродействующую внутрикристальную память, ее можно заменить более дешевой, но медленной последовательной флеш памятью EPCS. Разработанный СФ блок контроллера, позволяющий использовать EPCS в качестве памяти программ наилучшим образом подходит для такой цели, так как содержит необходимое количество свободной памяти. Таким образом, начальная инициализация не требует внутрикристальной памяти, что очень важно, так как ее объем является ограниченным.

Для работы с видеосигналами высокого разрешения предложено и реализовано объединение нескольких специализированных видеокодеров изображений для одновременной обработки различных компонентов сигнала и последующим их преобразованием на стороне декодирования в высокоскоростной последовательный интерфейс HDMI.

В случае кодирования данных кодеком, задачей софт-процессора в рабочем режиме является считывание этих данных и дальнейшая передача по соответствующему интерфейсу. В итоге требуется максимально быстро считать данные из памяти кодека по сигналу готовности данных, который является прерыванием для процессора. В этом случае, результаты раздела 4.1 диссертационной работы дают возможность выбрать необходимую конфигурацию ПЛИС, обеспечивающую требуемое время реакции на прерывание. При этом для увеличения быстродействия в качестве памяти программ более предпочтительным является использование on-chip memory.

Основные результаты работы.

В рамках диссертационной работы проведены теоретические и практические исследования и получены результаты, позволяющие оптимизировать обработку информации в СнК, а именно:

1. Разработана методика разбиения задач на аппаратные и программные части для устройств класса “система на кристалле” на примере дискретного вейвлет преобразования. Показано, что основная сложность при разделении системы на аппаратную и программную части зависит от количества возможных вариантов реализаций отдельных задач.

2. Разработана методика управления и оптимального использования последовательной флеш памяти в качестве памяти программ. Разработанный контроллер позволяет сократить габариты, количество выводов и энергопотребление всей системы в целом за счет исключения дополнительной внешней памяти.

3. Предложена методика повышения быстродействия софт-процессора при обработке прерываний в СнК. Данное исследование позволяет сделать вывод о возможном быстродействии и занимаемых ресурсах СнК при использовании внутреннего и внешнего контроллера, а предложенные алгоритмы позволяют получить выигрыш в 14% на поиск возникшего прерывания.

4. Разработана система управления и передачи данных между софт-процессором и специализированным кодеком изображения на основе рационального распределения памяти. Произведено распределение программного кода между различными типами памяти, позволяющее снизить количество обращений к внешней памяти и повысить скорость обмена данными между софт-процессором и кодеком видеоизображения.

Список опубликованных работ по теме диссертации.

Публикации в изданиях, рекомендованных ВАК России:

1. Зинкевич, А.В. Исследование времени реакции на прерывание системы на кристалле с soft-процессором NIOSII [Текст] / В.В. Березин, А.В. Зинкевич // Вестник Тихоокеанского государственного университета. – 2010. № 2 - С. 67-74.

2. Зинкевич, А.В. Метод распределения задач на аппаратные и программные ресурсы [Текст] / В.В. Березин, Ш.С. Фахми, А.В. Зинкевич // Во-

просы радиоэлектроники. Сер., Техника телевидения. - 2011. - № 2. - С. 43-50.

3. Зинкевич, А.В. Эффективные способы использования последовательной памяти в системах на кристалле [Текст] / В.В. Березин, А.В. Зинкевич, Ш.С. Фахми // Вопросы радиоэлектроники. Сер., Техника телевидения. - 2013. - № 1. - С. 94-104.

Другие статьи и материалы конференций:

4. Зинкевич, А.В. Исследование мультимедийного интерфейса высокой четкости [Текст] / В.В. Березин, А.В. Зинкевич // Информационные и коммуникационные технологии в образовании и научной деятельности: Материалы межрегиональной научно-практической конференции (Хабаровск, 21-23 мая 2008 г.) / под научн. ред. А.И. Мазура. - Хабаровск: Изд-во Тихоокеанского гос. университета, 2008. - С. 256–264.

5. Зинкевич, А.В. Мультимедийный интерфейс высокой четкости [Текст] / В.В. Березин, А.В. Зинкевич // Телевидение: передача и обработка изображений. Тез. докл. Международной конференции. Санкт-Петербург, 2008.

6. Зинкевич, А.В. Проектирование системы обработки видеосигнала с использованием видекодека ADV202 [Текст] / А.В. Зинкевич // Материалы 11 краевого конкурса – конференции молодых ученых и аспирантов. Хабаровск: Изд-во Тихоокеанского гос. университета, 2009.

7. Зинкевич, А.В. Метод распределения задач на аппаратные и программные ресурсы на примере дискретного вейвлет преобразования [Текст] / В.В. Березин, А.В. Зинкевич // Телевидение: передача и обработка изображений. Тез. докл. Международной конференции. Санкт-Петербург, 2011.

8. Зинкевич, А.В. Оптимальное распределение аппаратно-программных ресурсов при проектировании систем на кристалле [Текст] / В.В. Березин, А.В. Зинкевич // Электронное научное издание «Ученые заметки ТОГУ». - 2011. - № 2. - С. 21 – 25.

Патенты РФ и свидетельства.

9. Свидетельство о государственной регистрации программы для ЭВМ № 2009612327. Аппаратно – программное обеспечение вейвлет – кодирования ТВ – изображения // В.В. Березин, А.В. Зинкевич, Ш.С. Фахми; заявл. 18.03.2009; опубл. 07.05.2009.

10. Свидетельство о государственной регистрации программы для ЭВМ № 2010615985. Аппаратно – программное обеспечение системы на кристалле для быстродействующей передачи изображений // В.В. Березин, В.В. Бородулин, А.В. Зинкевич, Ш.С. Фахми, А.Г. Шоберг; заявл. 19.07.2010; опубл. 13.09.2010.